

## **Низковольтные характеристики логических элементов на полностью обеднённых КНИ КМОП нанотранзисторах в подпороговой области**

*Масальский Н. В.*

*Проанализирован один из возможных подходов разработки маломощной электроники, при котором транзисторы, входящие в состав цифровой схемы, работают в подпороговом режиме. Предложенная методика рассматривается применительно к полностью обеднённым КМОП КНИ нанотранзисторам. Теоретически показана возможность управления задержкой логических схем при помощи изменения напряжения на обратном затворе транзисторов. При помощи программы HSPICE численно исследованы статические и динамические характеристики вентиля инвертор, 2И-НЕ, 2ИЛИ-НЕ и полного однобитного сумматора.*

### **Введение**

На современном этапе развития микропроцессорной техники на базе КМОП технологии для мобильных применений задача эффективного снижения потребляемой мощности является объективной необходимостью. Самый эффективный способ решения данной проблемы – это понижение напряжения питания, так как для КМОП технологии мощность пропорциональна квадрату напряжения питания. Между тем напряжение питания и пороговое напряжение имеют тенденцию к масштабированию с одним и тем же коэффициентом для ограничения снижения производительности. Комбинация этих параметров уменьшает величину произведения мощность-задержка, даже когда количество транзисторов на кристалле продолжает увеличиваться от поколения к поколению с уменьшением характерных топологических размеров. С другой стороны, пороговое напряжение определяет величину подпорогового тока, текущего через закрытый транзистор. Следовательно, с ростом количества транзисторов на кристалле становится значительным суммарный ток утечки больших устройств в целом. Выходом из перечисленных ограничений может являться подход, при котором транзисторы, входящие в состав цифровой схемы, работают в подпороговом режиме [1-3]. Эта методика также способствует решению проблемы влияния разброса пороговых напряжений транзисторов на функционирование устройств.

В данной работе анализируются потенциальные возможности предложенного подхода на базе одного из наиболее перспективных направлений развития КМОП схем для маломощных приложений – технологии производства тонкоплёночных двухзатворных полностью обеднённых нанотранзисторов со структурой «кремний на изоляторе» (КНИ) [4]. Выбранный класс транзисторов позволяет реализовать схемотехнику с минимальным значением произведения мощность-задержка. Применение полностью обеднённых КНИ транзисторов обеспечивает возможность реализации сложных логических функций с использованием малого количества транзисторов. Помимо этого данные транзисторы характеризуются эффективным подавлением короткоканальных эффектов и низким значением ёмкости. Это обуславливает в совокупности с сокращением занимаемой площади снижение уровня рассеиваемой мощности.

Следует отметить такую важную особенность используемых транзисторов, как эффективное управление подпороговым током в результате регулировки порогового напряжения ( $U_{th}$ ) при помощи изменения потенциала на обратном затворе транзистора

( $U_{gb}$ ) [3]. Аналитические оценки интервала регулировки и соответствующей области изменения напряжений на обратном затворе ( $\Delta U_{gb}$ ) получены в [4]. Там же показано, что зависимости порогового напряжения от напряжения на обратном затворе транзистора  $U_{gb}$  в области регулировки имеют линейный характер, и получено аналитическое выражение для коэффициента наклона  $\gamma_{SOI}$  данной зависимости. Пороговое напряжение в диапазоне его регулировки при помощи изменения параметра  $U_{gb}$  аппроксимируется выражением  $U_{th}^{(n,p)}(U_b) = U_{th}^{(n,p)}(0) - \gamma_{SOI} U_{gb}$ , где  $U_{th}^{(n,p)}(0)$  – пороговое напряжение при нулевом смещении  $U_{gb}$ ,  $\gamma_{SOI}$  – безразмерный коэффициент, примерно равный отношению толщин окислов фронтального и обратного затворов, который напрямую определяет эффективность и величину диапазона регулировки.

Для моделирования ситуации в случае полностью обеднённых КНИ транзисторов будем использовать нанотранзистор с топологическими параметрами. Длина канала 50 нм, толщина рабочей области и толщины подзатворных диэлектриков 10 нм, 1 нм и 100 нм соответственно,  $\gamma_{SOI} = 0,01$ ,  $U_{th}^{(n,p)}(0) = \pm 250$  мВ и  $\Delta U_{gb} = 8$  В. Остальные параметры подробно представлены в [5]. В рамках данной работы при помощи программы HSPICE с использованием модели полностью обеднённого КНИ нанотранзистора [6] рассчитаны подпороговые ВАХ в диапазоне регулировки  $U_{th}$ . Результаты моделирования для транзистора n-типа представлены на рис. 1.

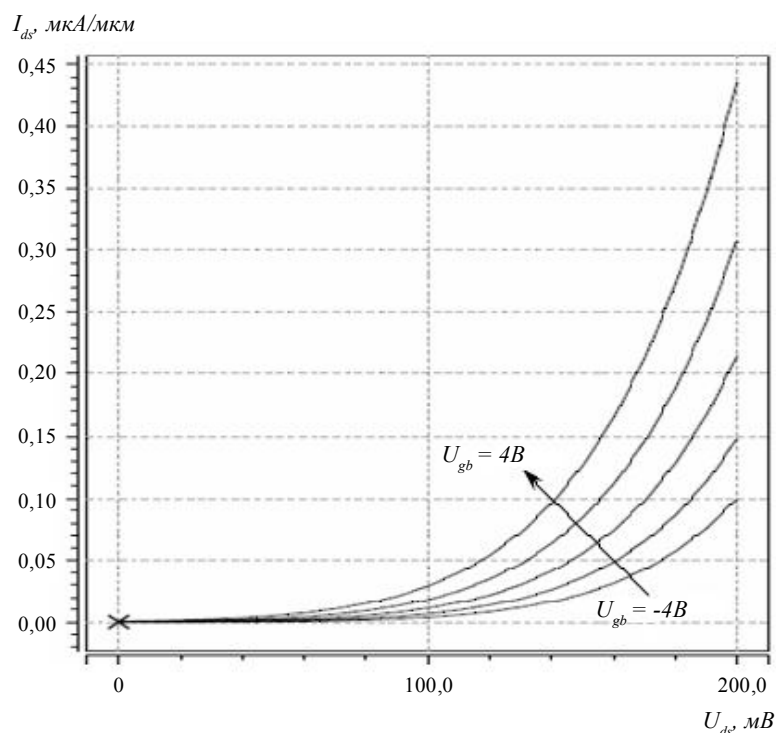


Рис. 1

Подпороговые ВАХ полностью обеднённого КНИ нанотранзистора n-типа при разных напряжениях на обратном затворе транзистора. Напряжение сток-исток 0,2 В, напряжение на фронтальном затворе изменяется от 0 до 0,2 В

При таком подходе необходимо определить допустимую величину напряжения питания. Этот параметр напрямую связан со значением  $U_{th}$  и возможностями его регулировки. Тогда максимальный уровень  $U_{dd}$  определяется выражением:

$$U_{dd}^{(max)} = U_{th}(0) - \gamma_{SOI} \frac{\Delta U_{gb}}{2} + \Delta U_{th}, \quad (1)$$

где  $\Delta U_{th}$  – величина разброса порогового напряжения.

Аналогично максимальный уровень входного сигнала – «уровень единицы» в силу (1) должен быть выбран меньше минимального значения порогового напряжения:

$$U_{in}^{(max)} = U_{th}(0) - \gamma_{SOI} U_{gb}^{(max)} + \Delta U_{th}.$$

Функционирование сложных схем в таком режиме требует снижения рабочей частоты. Её можно оценить исходя из известного выражения максимальной частоты

работы цифрового КМОП устройства:  $f_{clk} = \frac{I_{on}}{L_{ID} C_{avg} U_{dd}}$ , где  $I_{on}$  – максимальный ток, который

может быть обеспечен транзистором среднего для данного устройства размера,  $L_{ID}$  – логическая глубина устройства,  $C_{avg}$  – средняя ёмкость нагрузки. Отношение рабочих частот в прямом и подпороговом режимах будет определяться следующим выражением:

$$\frac{f}{f_{sub}} = \frac{I_{on} U_{dd}^{(max)}}{I_{on_{sub}} U_{dd}},$$

где  $I_{on_{sub}}$  – величина тока транзистора при  $U_{in}^{(max)}$ .

Все особенности характеристик рассматриваются на примере инвертора как наиболее простого логического элемента, а затем обобщаются на другие логические элементы.

### 1. Модель подпорогового тока полностью обеднённого КНИ транзистора

Подпороговый режим в полностью обеднённом КНИ транзисторе реализуется, если приложенное напряжение на его фронтальном затворе ниже порогового, то есть

$U_{gf} < U_{th}^{(n,p)}(0) - \gamma_{SOI} U_{gb}$ . Этот режим представляет физический интерес, поскольку определяет эффективность управления током и диссипативные потери. Анализ ВАХ КНИ нанотранзисторов в подпороговом режиме позволяет применить простую аналитическую модель. При этом мы будем рассматривать упрощённый одномерный случай, когда толщина рабочей области транзистора  $d_s$  намного меньше длины затвора  $L$ . В данной модели вводятся два экспериментально извлекаемых параметра:  $U_{th}$  – пороговое напряжение транзистора и  $S$  – обратная крутизна подпороговой характеристики транзистора. Причём эти два параметра определяются в результате одного и того же измерения ВАХ вида  $I_{ds}(U_{gf})$  при постоянном напряжении сток-исток ( $U_{ds}$ ) и  $U_{gb} = 0$ .

Как и в [4], будем полагать, что ток в подпороговой области вследствие малого числа носителей носит диффузионный, а не дрейфовый характер, поэтому

$$I_{ds} = I_0 (1 - \exp(-\beta U_{ds})) \exp\left\{ \frac{[U_{gf} - U_{th}(U_{gb})]}{S} \ln 10 \right\}, \quad (2)$$

где  $I_0$  – значение тока транзистора при  $U_{gf} = U_{th}$ ,  $\beta = V_t^{-1}$ ,  $V_t$  – тепловой потенциал.

Обратную величину крутизны характеристики  $I_{ds}(U_{gf})$  обычно определяют в полулогарифмическом масштабе  $S = \ln 10 \frac{dU_{gf}}{d(\ln I_{ds})} = V_t \ln 10 \frac{d(\beta U_{gf})}{d(\ln I_{ds})}$ .

Одно из замечательных свойств КНИ транзисторов состоит как раз в значительном увеличении крутизны характеристики  $I_{ds}(U_{gf})$  в подпороговой области или же уменьшении

$S$ . Отличие величины обратной крутизны  $S$  от «идеального» значения  $S_0 = 60 \text{ мВ} / \text{дек}$  определяется так. Выражению для  $S$  можно придать следующий вид:  $S = V_t \ln 10 (1 + \chi)$ , где коэффициент  $\chi$  представляет собой отношение двух ёмкостей – некоторой эффективной ёмкости между областью инверсионного канала и обратным затвором, а также ёмкости конденсатора, образованного фронтальным диэлектриком. Для полностью обеднённых транзисторов значение коэффициента  $\chi$  намного меньше единицы, поэтому для обратной крутизны токовой характеристики КНИ транзистора получается значение 0,062 В/дек, близкое к теоретическому пределу. В реальных условиях на величину  $S$  оказывает сильное влияние наличие ловушек или центров «прилипания» поверхностных зарядов, находящихся на границе раздела полупроводник-окисел. При этом значение  $S$  оказывается больше  $S_0$ .

## 2. Характеристики переключений инвертора

### 2.1. Модель временной задержки переключения

В силу комплиментарности  $n$ - и  $p$ -транзисторов в инверторе ток переключения в подпороговом режиме будет равен  $I = I_p - I_n$ , где  $I_p$  – ток, протекающий через транзистор  $p$ -типа, который является положительной величиной, т. к. он течёт от шины питания к выходу и повышает выходное напряжение,  $I_n$  – ток, протекающий через транзистор  $n$ -типа, который является отрицательной величиной, т. к. он течёт от выходного узла к земельной шине и понижает выходное напряжение [7]. В результате напряжение на выходе инвертора или возрастает, или убывает в зависимости от знака величины  $I$ .

В рассматриваемом случае количественной оценкой задержки инвертора, как и в случае традиционного режима работы транзисторов, может служить величина

$$\tau = \frac{CU_{dd}}{2} \left( \frac{1}{I_N^{(1)}} + \frac{1}{I_P^{(1)}} \right), \quad (3)$$

где  $C$  – полная эквивалентная ёмкость, заряжаемая и разряжаемая в тактовом цикле,  $I_N^{(1)}$  и  $I_P^{(1)}$  – ток уровня «1» транзисторов  $n$ -типа и  $p$ -типа соответственно.

Если инвертор проектируется с обратно пропорциональным соотношением ширины каналов транзисторов и с симметричной передаточной характеристикой, то токи и задержки при включении и выключении будут равны. Для данного случая, подставив (2) в (3), перепишем выражение для задержки и выделим вклад в неё, который зависит от параметров  $U_{gb}$  и  $\gamma_{SOI}$ , например, в виде:

$$\tau = \tau_0 (1 - \alpha_U U_{gb}), \quad (4)$$

$$\text{где } \tau_0 = \frac{CU_{dd}}{I_0 (1 - \exp(-\beta U_{dd}))} \exp\left(-\frac{U_{gf} - U_{th}^0}{S} \ln 10\right), \quad \alpha_U = \frac{\gamma_{SOI}}{S} \ln 10.$$

Из соотношения (4) следует, что, как и в случае прямого режима [7], задержка инвертора в первом приближении будет линейно зависеть от величины смещения на обратном затворе транзисторов, что является предпосылкой для реализации её регулировки. Положительные смещения на обратном затворе вызывают пропорциональное уменьшение величины задержки, а при отрицательных значениях  $U_{gb}$  величина задержки увеличивается. Крутизну данной характеристики можно оценить при помощи параметра

$\alpha_U$ . Чувствительность задержки к регулировке зависит от величины  $\frac{\gamma_{SOI}}{S} \ln 10$ .

Отметим, что в общем случае управление задержкой в подпороговом режиме существенно эффективнее, чем в случае традиционного режима работы транзисторов.

Диапазон регулировки задержки, с одной стороны, ограничен диапазоном регулировки  $U_{th}$  транзисторов:

$$\Delta\tau = \tau_0 \alpha_U \Delta U_{gb}.$$

С другой стороны, он зависит от величины параметра  $\gamma_{SOI}$ . Выражение (4) можно представить в виде:

$$\tau = \tau_0 (1 - \alpha_\gamma \gamma_{SOI}), \quad (5)$$

где  $\alpha_\gamma = \frac{U_{gb}}{S} \ln 10$ .

Тогда  $\Delta\tau = \tau_0 \alpha_\gamma \gamma_{SOI}$ .

Поэтому чем больше значение  $\gamma_{SOI}$ , тем больше диапазон регулировки задержки. Следовательно, диапазон регулировки задержки определяется отношением толщин окислов фронтального и обратного затворов транзисторов.

Из выражения (5) можно получить оценку ограничения на уровень положительного смещения обратного затвора транзисторов из условия, при котором задержка инвертора будет равна нулю. Тогда выражение для оценки можно представить в виде:

$U_{gb\_bord} \leq \frac{S}{\gamma_{SOI} \ln 10}$ . Для получения максимального уровня положительного смещения

обратного затвора транзисторов, при котором ещё реализуются переключения инвертора, необходимо дополнительное численное моделирование.

### 2.2. Задержки распространения, возникающие в цепочке инверторов

Один из возможных способов охарактеризовать функционирование логических цепей, используемых на практике, состоит в создании цепочки большого нечётного количества идентичных инверторов, как это показано на рис. 2, и описании в ней распространения логического сигнала [7].

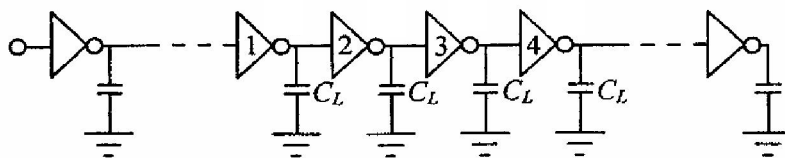


Рис. 2

Линейная цепочка КМОП инверторов

Например, сигнал включения ступенчатой формы подаётся на вход цепочки инверторов. В общем случае после прохождения нескольких каскадов сигнал принимает установившуюся форму, не изменяющуюся во времени независимо от номера каскада. Переключения в данном случае возникают в результате положительной обратной связи за счёт усиления по напряжению в каждом инверторе (при этом должно быть выполнено условие  $|dU_{out} / dU_{in}| > 1$ ). Задержка распространения сигнала может быть экспериментально определена путём измерения частоты переключения сигнала в любой точке данной схемы. Цепочку инверторов можно «нагрузить саму на себя», то есть превратить в кольцевую схему. Тогда за один период логический сигнал будет распространяться по кольцу дважды.

В рамках данной работы при помощи программы HSPICE с использованием

модели полностью обеднённого КНИ нанотранзистора [6] промоделировано распространение логического сигнала через цепочку инверторов, в состав которых входят выбранные выше транзисторы, при напряжениях  $U_{dd} = 0,2$  В и  $U_{gb} = 0$ . Результаты, необходимые для дальнейшего анализа, представлены на рис. 3. Здесь приведены характерные формы фронтов  $U_1, U_2, U_3, U_4$  для четырёх последовательно включённых инверторов (рис. 2) в случае отсутствия нагрузочных ёмкостей ( $C_L = 0$ ).

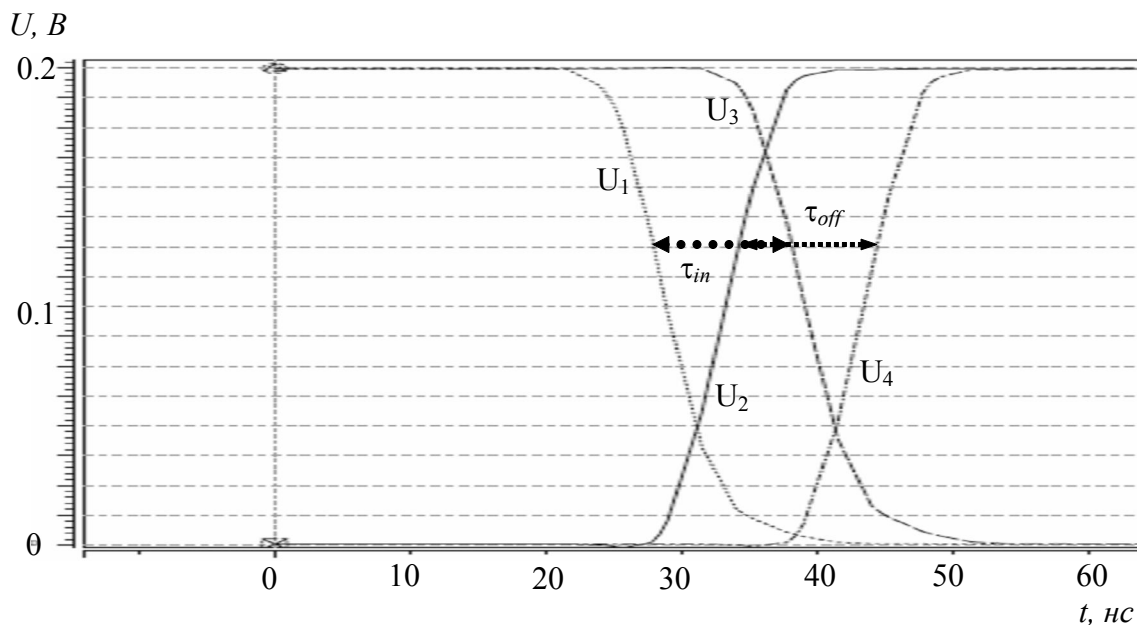


Рис. 3

Временная диаграмма напряжений в линейной цепочке инверторов. Задержка определяется по уровню, соответствующему половинному значению напряжения питания. Схематично представлены времена задержек

$\tau_{in}$  (.....) и  $\tau_{off}$  (-----), которые частично перекрываются.

По мере снижения напряжения  $U_1$  от высокого уровня («единица») до низкого («ноль») уменьшается ток транзистора n-типа в инверторе 2 и напряжение  $U_2$  соответствующим образом повышается к значению «единица». Рост  $U_2$  вызывает увеличение тока транзистора n-типа инвертора 3, что приводит к снижению напряжения  $U_3$  до уровня «ноль» и так далее. По уровню напряжения  $U = U_{dd}/2$  можно определить задержку  $\tau_{in}$ , связанную со спадом сигнала, как временной интервал между  $U_1$  и  $U_3$  вдоль этой линии. Аналогично можно ввести временную задержку  $\tau_{off}$ , связанную с нарастанием сигнала, как время между  $U_2$  и  $U_4$ . Количественной характеристикой для

задержки является величина  $\tau = \frac{1}{4}(\tau_{in} + \tau_{off})$  – четвертая часть суммы времён между

импульсами «параллельной» временной формы между  $U_1$  и  $U_3$  и между  $U_2$  и  $U_4$ . Определённая таким образом задержка измеряется экспериментально для КМОП кольцевых инверторных осцилляторов. Она равна периоду колебаний, делённому на удвоенное число каскадов. Используя оценочное выражение для задержки отдельного инвертора, для цепочки инверторов, можно записать аналогичное соотношение в виде

$$\tau = n\bar{\tau}_0(1 - \alpha_U U_{gb}), \quad (6)$$

где  $\overline{\tau_0}$  – задержка отдельного инвертора в цепочке при нулевом значении  $U_{gb}$ .

В общем случае времена  $\tau_{in}$  и  $\tau_{off}$  могут отличаться друг от друга и в задержке может доминировать какое-либо из времён. В частном случае при определённом отношении ширин каналов транзисторов эти времена совпадают.

Промоделируем ситуацию, когда на обратном затворе полностью обеднённых КНИ нанотранзисторов, входящих в состав инверторов, напряжение  $U_{gb}$  отлично от нуля. В общем случае сдвиг порогового напряжения приводит к модификации режима работы инвертора. Такое заключение следует из результатов моделирования приведённых на рис. 4 статических характеристик данного вентиля, выполненного на выбранных транзисторах. Из результатов моделирования видно, что сохраняется возможность управления характеристиками инвертора. При этом смещение статической характеристики

уровню  $U_{dd}/2$  сопоставимо с выражением  $\Delta U_{out}(U_{in}) = -\gamma U_{gb}$ , где  $\gamma$  равно 20 мВ/В.

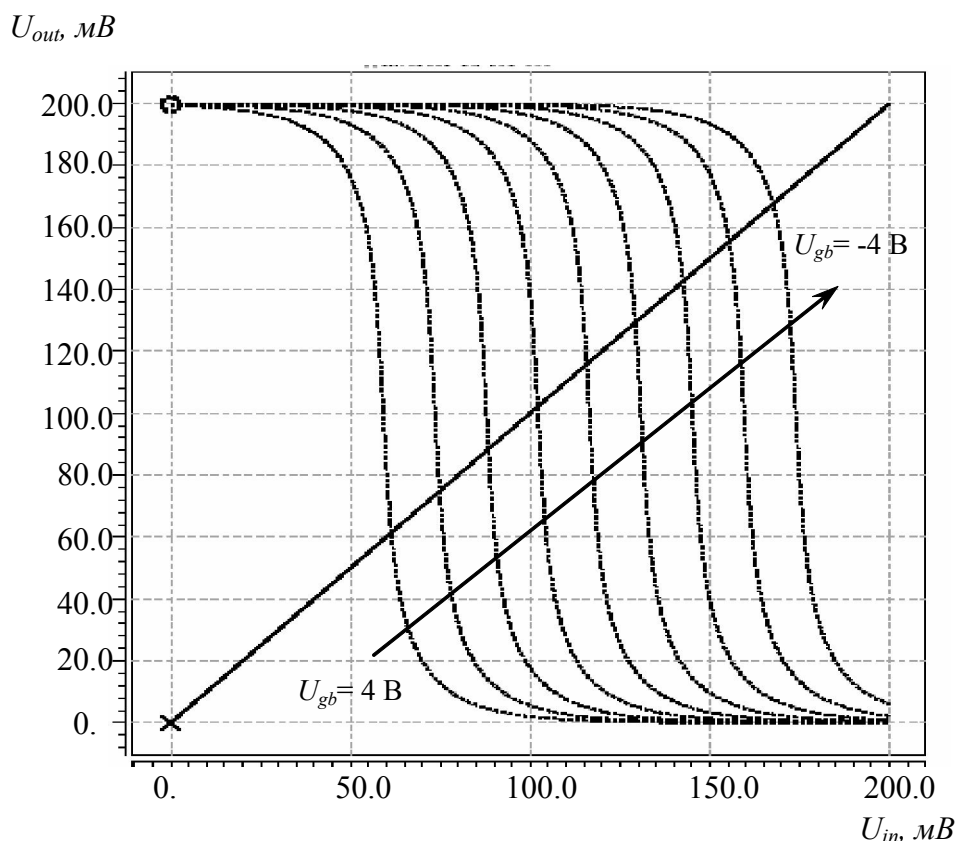


Рис. 4

Статические характеристики инвертора при напряжении питания 0,2 В и разных напряжениях на обратном затворе транзисторов; входное напряжение изменяется от 0 до 0,2 В

Так, при  $U_{gb} > 0$  ток транзистора n-типа в инверторе 2 снижается более резко (относительно рассмотренного случая), что обуславливает соответствующий рост напряжения  $U_2$ . Следовательно, инвертор 2 переходит в режим переключения с меньшей задержкой. Опережающий рост напряжения  $U_2$  вызывает переключение инвертора 3, при этом во времени это происходит раньше, чем в случае нулевого смещения обратного затвора транзисторов, что приводит к синхронному уменьшению значений

$\tau_{in}$  и  $\tau_{off}$ . В общем случае происходит временное сжатие временной диаграммы напряжений цепочки инверторов. При отрицательных смещениях, наоборот, происходит временное растяжение диаграммы и соответствующий рост  $\tau_{in}$  и  $\tau_{off}$ .

Определяя коэффициент сжатия/растяжения как отношение задержек при некотором смещении к задержке при нулевом смещении, исходя из (6) получим выражение:

$$k = 1 - \alpha_U U_{gb} \text{ или } k = 1 - \alpha_\gamma \gamma_{SOI}.$$

Коэффициент сжатия/растяжения напрямую зависит от величины  $U_{gb}$ . С ростом параметра  $U_{gb}$  он пропорционально уменьшается и наоборот. При этом крутизна характеристики  $\kappa(U_{gb})$  существенно зависит от значения  $\gamma_{SOI}$ .

Зависимости  $U_{out}(U_{in})$  в каждом узле претерпевают одинаковый сдвиг относительно случая нулевого значения  $U_{gb}$ . При этом величина сдвига линейно зависит от значения  $U_{gb}$ . При положительных смещениях сдвиг происходит в область низких входных напряжений (то есть левее характеристики при нулевом смещении). При отрицательных

– в область высоких напряжений. Величина сдвига по уровню  $U_{ad}/2 = 20$  мВ/В.

Следует отметить, что рассмотренные свойства инвертора будут характерны для других логических вентилях.

### 3. Характеристики вентилях 2И-НЕ и 2ИЛИ-НЕ

При помощи программы HSPICE рассчитаны динамические характеристики логических вентилях при напряжении питания 0,2 В. Как следует из результатов расчётов (см. таблицу 1), сохраняется линейный характер зависимости задержки от напряжения на обратном затворе. Вместе с тем резко возрастает крутизна, которая в отличие от традиционного режима на три порядка больше.

Таблица 1

Характеристики логических вентилях при напряжении питания 0,2 В

Вентиль	Параметры						
	$\tau$ (нс) от $U_{gb}$ (В)			$a_U$ , /В	$\Delta\tau$ , нс	$P$ , нВт при $f=0,5$ ГГц	$\tau P$ , аДж
	-4	0	4				
инвертор	0,593	0,325	0,057	0,206	0,536	15,4	5,0
2И-НЕ	1,047	0,663	0,279	0,145	0,750	31,7	21,0
2ИЛИ-НЕ	0,662	0,374	0,086	0,193	0,576	22,3	8,3

Сопоставляя результаты расчётов и данные для этих же вентилях, функционирующих при напряжении питания 1 В [5], можно сделать следующий вывод. В подпороговом режиме величина задержки, диапазон регулировки и крутизна регулировочной характеристики возрастают на два порядка. Активная мощность переключения снижается на два порядка. Следовательно, есть возможность уменьшения величины параметра мощность-задержка. Так, инвертор в подпороговом режиме при  $U_{gb} = 4$  В по параметру мощность-задержка даёт 28-кратный выигрыш при прочих равных условиях. Этот результат складывается из того, что задержка в подпороговом режиме возрастает примерно в 12 раз, а активная мощность уменьшается в 337 раз. Для двух других вентилях выигрыш по параметру  $\tau P$  составляет примерно 4-х и 8-кратный соответственно.



#### 4. Характеристики однобитного сумматора

При помощи программы HSPICE рассчитаны динамические характеристики полного однобитного сумматора, выполненного на выбранных транзисторах, при напряжении питания  $U_{dd} = 0,2$  В. Результаты моделирования приведены в таблице 2. По результатам моделирования можно сделать следующий вывод: в области, где возможна регулировка характеристик сумматора, зависимость временной задержки от значения  $U_{gb}$  по аналогии с (6) можно аппроксимировать линейным выражением вида:

$$\tau = \tau_0(1 - \alpha_{ADD}U_{gb}),$$

где  $\tau_0$  – задержка сумматора при нулевом значении  $U_{gb}$ ,  $\alpha_{ADD}$  – крутизна регулировочной характеристики задержки, которая определяет чувствительность задержки к уровню смещения на обратном затворе. Таким образом, как и в предыдущих случаях, положительные значения параметра  $U_{gb}$  уменьшают задержку сумматора, а отрицательные смещения, наоборот, её увеличивают.

Таблица 2

Основные характеристики 1-битного сумматора

Параметры сумматора	Значение
Максимальная задержка, нс	1,16
Диапазон изменения задержки, нс	1,46
Крутизна регулировочной характеристики задержки, В(-1)	0,157
Активная мощность переключения, нВт	15,46
«Мощность*задержка», аДж	17,2

Резкий рост задержки по сравнению с обычным режимом частично компенсируется тем, что существенно возрастает крутизна зависимости  $\tau(U_{gb})$ , которая на два порядка больше. Это позволяет оптимизировать параметр  $\tau P$  следующим образом. При  $U_{gb} = 4$  В величина  $\tau P$  составляет 6,65 аДж, что примерно в 2,5 раза меньше по сравнению со случаем  $U_{gb} = 0$  В. Это позволяет рассматривать данный подход как перспективный для создания маломощных устройств. Однако практическая реализация требует решения целого ряда технических задач. Эти операции могут значительно увеличить как задержку, так и уровень энергопотребления.

Поэтому поиск путей энергосбережения представляет собой нетривиальную задачу и целиком определяется конкретными требованиями к проектируемому цифровому устройству.

#### Заключение

В работе проанализирован один из возможных подходов разработки маломощной электроники, при котором транзисторы, входящие в состав цифровой схемы, работают в подпороговом режиме. Предложенная методика рассматривается применительно к полностью обеднённым КМОП КНИ нанотранзисторам. Теоретически показана возможность управления задержкой логических схем при помощи изменения напряжения на обратном затворе транзисторов. При этом данная зависимость имеет линейный характер. Положительные смещения уменьшают задержку, а отрицательные её увеличивают. При помощи программы HSPICE численно исследованы статические и динамические характеристики вентиля инвертор, 2И-НЕ, 2ИЛИ-НЕ и полного однобитного сумматора.

---

Крутизна регулировочной характеристики задержки и диапазон изменения задержки на два порядка выше, чем в случае традиционного режима работы транзисторов. Активная мощность переключения составляет десятки нВт. В совокупности это является предпосылкой для существенного снижения параметра мощность-задержка. Для рассматриваемых устройств величина данного параметра составляет несколько адж. По сравнению с прямым режимом работы транзисторов логические элементы дают выигрыш в несколько раз при максимальном смещении на обратном затворе.

### *Литература*

1. Verma N., Kwong J., Chandrakasan A. P. Nanometer MOSFET Variation in Minimum Energy Subthreshold Circuits. - Electron Devices, IEEE Transactions on Volume 55, Issue 1, 2008, p. 163-174.
2. Hanson S., Mingoo Seok, Sylvester D., Blaauw D. Nanometer Device Scaling in Subthreshold Logic and SRAM. - Electron Devices, IEEE Transactions on Volume 55, Issue 1, 2008, p. 175-185.
3. Масальский Н. В. Полностью обеднённые КНИ КМОП нанотранзисторы для низковольтных применений. - Микроэлектроника, 2008, т. 38, N 6, с. 66-70.
4. Colinge J.-P. Silicon on Insulator Technology: Materials to VLSI. - Kluwer Acad. Publ., Boston, Dordrecht, London, 1997.
5. Pacha C., Schmal A., Schulz T. et al. Evaluation of circuit performance of ultra-thin-body SOI CMOS, SSE-47, 2003, p. 1205-1211.
6. Захаров С. М., Масальский Н. В., Шафигуллин М. М. Проблемы схемотехнического моделирования интегральных схем. - Успехи современной радиоэлектроники, 2005, № 2, с. 43-50.
- 7 Захаров С. М., Масальский Н. В. Моделирование характеристик логических элементов, выполненных на полностью обеднённых КНИ КМОП нанотранзисторах. - Электромагнитные волны&Электронные системы, 2007, т. 12, N 10, с. 66-70.

---

Уважаемый читатель!

Готовится к публикации статья  
Смирнова А. М.

“ТЕХНОЛОГИЯ ИЗГОТОВЛЕНИЯ И ПРИМЕНЕНИЕ СОГЛАСУЮЩИХ КОНДЕНСАТОРОВ С МАЛЫМИ ПОТЕРЯМИ В МОЩНОМ СВЧ ИМПУЛЬСНОМ БИПОЛЯРНОМ КРЕМНИЕВОМ ТРАНЗИСТОРЕ S ДИАПАЗОНА”

Статья посвящена актуальному вопросу технологии и конструкции мощных СВЧ генераторных кремниевых транзисторов, в частности, технологии согласующих конденсаторов, обладающих малыми потерями. Рассматривается влияние потерь в согласующих конденсаторах на параметры транзисторов: на усилительные свойства транзисторов и величину входной мощности. Описана оригинальная методика определения добротности входных конденсаторов и проведено сравнение добротностей различных типов конденсаторов.