

Новая методика сравнения быстродействия параллельных сумматоров с последовательным переносом

Шубин В. В.

Предложена новая методика сравнения сумматоров с последовательным переносом по быстродействию с использованием введённого критерия «Разрядность Равных Задержек». Показано, что абстрактное определение задержек распространения сигналов сравниваемых конструктивных решений одноразрядных сумматоров, на котором основываются существующие методики, не даёт ясного ответа на вопрос о их поведении в составе N-разрядных устройств. В то же время сравнение нескольких законченных N-разрядных сумматоров по полному циклу моделирования отнимает много времени даже при использовании самых современных программных продуктов. Предложенная методика позволяет быстро и достоверно сравнить различные конструкции ячеек одноразрядных сумматоров по быстродействию для конкретного применения в составе разрабатываемых устройств.

1. Введение

Непрерывный рост сложности интегральных схем и электронных систем неизменно повышает требования к их характеристикам. Среди компонентов интегральных схем особое место занимают сумматоры. Широкое применение сумматоров определяется рядом причин: операция суммирования является ключевой при формировании основных логических функций вычислительных систем – суммирования, вычитания, умножения, деления, возведения в степень и т. д. [1-4]; ядро многоразрядного сумматора является одним из наиболее критичных блоков цифровых сигнальных процессоров и узлов центральных процессоров [5] для достижения растущих требований по быстродействию; сумматор является основным блоком при построении арифметико-логических устройств [5,6]; сумматоры являются важными блоками финальной обработки сигналов для ряда современных архитектур быстродействующих аналого-цифровых преобразователей.

Поэтому понятен высокий интерес разработчиков цифровых устройств к поиску новых путей совершенствования характеристик сумматоров. Результатом этих исследований стало появление новых архитектурных, схемотехнических, топологических решений, стилей и методологий их проектирования для достижения более высоких характеристик по быстродействию и потребляемой мощности [4,7-10].

В этой связи у разработчиков интегральных схем возникает проблема выбора конструктивного решения среди известных решений и появляющихся вновь. Эта проблема, в свою очередь, подталкивает исследователей к поиску новых методик и критериев сравнения различных конструкций.

Среди всех классов рассматриваемых сумматоров наибольшее распространение получили параллельные сумматоры с последовательным переносом из-за достоинств их технико-экономических показателей [11]: простоты физической реализации, надёжности, малого количества используемых компонентов, требуемых для реализации необходимой логической функции, приемлемые значения быстродействия и потребляемой мощности.

В работе представлена новая методика сравнения сумматоров с последовательным переносом по быстродействию и вводится новый критерий сравнения «Разрядность Равных Задержек», который позволяет на этапе схемотехнического проектирования

определить наиболее быстродействующее конструктивное решение для конкретного применения в составе разрабатываемых устройств.

Статья построена следующим образом: в разделе 2 кратко описаны ранее применяемые методики и принципы сравнения сумматоров, в разделе 3 представлены новая методика сравнения сумматоров и новый критерий сравнения, а в разделе 4 рассмотрен пример практического применения новой методики.

2. Существующие методики сравнения сумматоров по быстродействию

Простейшей методикой сравнения двух или более конструкций сумматоров по быстродействию является сравнение результатов моделирования законченных устройств, построенных на сравниваемых ячейках одноразрядных полных сумматоров.

Достоинством такой методики являются высокая точность сравнения и возможность прогнозирования поведения конструкции в реальных условиях работы в системе. Однако данная методика обладает существенными недостатками: она довольно трудоёмка и требует значительного аппаратного времени на моделирование.

Поэтому в последнее время широкое распространение получила методика сравнения, описанная в [12,13], которая базируется на следующих положениях:

- сравниваются результаты моделирования ячеек сравниваемых одноразрядных сумматоров по структурной схеме, представленной на рис. 1;
- для получения реальной формы входных сигналов, формируемых в схеме при работе в составе реального устройства, на входы одноразрядного сумматора подаются сигналы через цепочки двух последовательно включённых инверторов;
- для получения реальной формы выходных сигналов, формируемых в схеме при работе в составе реального устройства, к выходам сумматора в качестве эквивалентной нагрузки подключаются цепочки из двух последовательно соединённых инверторов;
- для определения наихудшего случая применяются полный перебор входных воздействий и анализ переходных процессов для каждой комбинации.

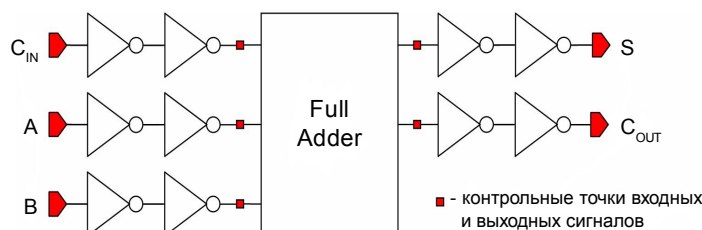


Рис. 1

Структурная схема моделирования для определения задержек сигналов S и C_{OUT} ячейки одноразрядного сумматора по методике [12,13] моделирования ячеек одноразрядных сумматоров

Достоинством данной методики являются простота, наглядность и быстрота получения результатов.

В то же время она обладает существенным недостатком. По результатам моделирования сложно сделать выбор в пользу той или иной конструкции при разработке многоразрядного сумматора из-за отсутствия точного количественного прогноза поведения различных конструкций ячеек одноразрядных сумматоров при работе в составе N -разрядных устройств. Иными словами, известная методика [12,13] не даёт ясной картины возможностей сравниваемых ячеек сумматоров по быстродействию, то есть превосходство по быстродействию операции сложения одного из сумматоров над другим, полученное по результатам моделирования ячеек одноразрядных сумматоров, вовсе не означает, что оно сохранится при построении N -разрядного сумматора на базе этой ячейки. Таким образом, при выборе конструкции ячейки для построения N -разрядного сумматора важно заранее определить поведение сравниваемых ячеек при наращивании разрядности проектируемого сумматора, а не их абстрактные значения задержек

формирования сигналов. Наличие же точного прогноза, происходит ли изменение состояния превосходства по быстродействию на состояние отставания сравниваемых ячеек и если происходит, то в каком именно разряде это происходит, позволяет подключить к анализу другие известные критерии сравнения: потребляемую мощность, Power Delay Product (PDP, произведение мощности на задержку), площадь кристалла и т. д. [4,7-10].

Для того, чтобы устранить недостатки упомянутых методик при сохранении присущих им достоинств, предлагается новая методика сравнения быстродействия ячеек сумматоров с последовательным переносом.

3. Новая методика сравнения быстродействия сумматоров по критерию «разрядность равных задержек»

Согласно [12,13] зависимость задержки распространения сигналов N -разрядных сумматоров с последовательным переносом от номера разряда N является линейной. Это утверждение подтверждается результатами моделирования. Линейный характер указанной зависимости позволяет построить методику сравнения быстродействия параллельных сумматоров с последовательным переносом, названную «Определение критерия разрядность равных задержек». Предлагаемая методика предполагает проведение трёх последовательных операций:

- моделирование по предложенной структурной схеме;
- вычисление критерия «разрядность равных задержек» (далее РРЗ);
- анализ значения номера РРЗ ($N_{PPЗ}$) двух сравниваемых сумматоров.

3.1. Структурная схема моделирования по методике РРЗ

Линейность уравнения, описывающего зависимость задержки распространения сигналов N -разрядных сумматоров от номера разряда N , позволяет прогнозировать поведение ячейки сумматора в составе N -разрядного устройства, опираясь на данные о задержках только двух разрядов. В предлагаемой методике используются данные о задержках двух младших разрядов – первого и второго, которые могут быть получены при моделировании по простейшей структурной схеме, представленной на рис. 2, а также получены исчерпывающие данные для сравнения двух различных ячеек сумматоров по быстродействию и их поведению при работе в составе N -разрядных сумматоров.

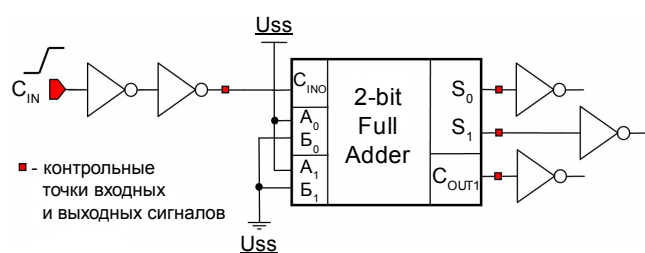


Рис. 2

Структурная схема моделирования по методике РРЗ

Представленная на рис. 2 структурная схема 2-разрядного сумматора обеспечивает формирование сигнала переноса в обеих используемых ячейках при подаче положительного фронта на вход C_{IN0} и возможность наблюдать изменения выходных сигналов при выводе данных расчёта переходного процесса на дисплей.

Сигнал переноса C_{IN} подаётся на вход C_{IN0} через два последовательно соединённых инвертора для приближения формы сигналов к реальным условиям. Ко всем выходам подключены инверторы, имитирующие ёмкостные нагрузки при работе в составе реальных N -разрядных сумматоров.

Некоторые ячейки одноразрядных сумматоров имеют различные времена задержки

сигнала результата сложения при $A = 1, B = 0$ и при $A = 0, B = 1$. В этом случае в структурной схеме моделирования на рис. 2 необходимо подсоединить входы операндов A и B так, чтобы оперировать с наилучшими результатами по быстродействию.

Предлагаемая структурная схема несколько сложнее схемы на рис. 1, используемой в известной методике [12,13], но, как будет показано далее, позволяет получить точный прогноз поведения сравниваемых ячеек сумматоров при работе в составе N -разрядных устройств.

3.2. Вычисление критерия «разрядность равных задержек»

Определим критерий «разрядность равных задержек» как номер разряда двух N -разрядных сумматоров, при котором их задержки распространения сигналов сложения совпадают и в дальнейшем происходит смена состояния отставание (превосходство) по задержке одного из сумматоров над другим на превосходство (отставание). Численное значение РРЗ определяется решением системы двух линейных уравнений зависимостей задержки распространения сигналов сложения от номера разряда N двух сравниваемых сумматоров. График на рис. 3 наглядно демонстрирует превосходство сумматора 1 над сумматором 2 по быстродействию вплоть до номера разряда N (далее $N_{PPЗ}$), при котором эти задержки равны, и его отставание, начиная со значений N выше $N_{PPЗ}$.

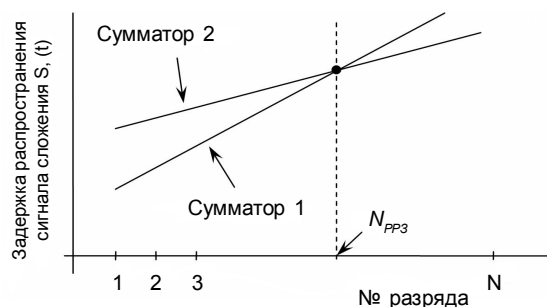


Рис. 3

Графическое представление зависимости распространения сигнала сложения S от номера разряда N двух N -разрядных сумматоров с последовательным переносом

Плоская форма зависимостей, используемых в методике, позволяет для расчёта $N_{PPЗ}$ воспользоваться уравнением прямой по двум точкам на плоскости:

$$\frac{S - S_1}{S_2 - S_1} = \frac{N - N_1}{N_2 - N_1}, \quad (3.1)$$

где S_1 и S_2 — время задержки распространения сигнала сложения соответственно 1-го и 2-го разрядов, N_1 и N_2 — номера этих разрядов.

Для структурной схемы на рис. 2 значения номеров используемых разрядов составляют: $N_1 = 1$ и $N_2 = 2$.

Таким образом, требуется решение следующей системы уравнений относительно $N_{PPЗ}$:

$$\begin{cases} \frac{S - S_1^O}{S_2^O - S_1^O} = N_{PPЗ} - 1 \\ \frac{S - S_1^T}{S_2^T - S_1^T} = N_{PPЗ} - 1 \end{cases}, \quad (3.2)$$

где символом $(^O)$ помечены переменные и значения для опорного сумматора, а символом $(^T)$ — тестируемого.

Решение системы уравнений (3.2) определяет критерий $N_{PPЗ}$ для двух сравниваемых сумматоров:

$$N_{PP3} = 1 + \frac{S_1^T - S_1^O}{(S_2^O - S_1^O) - (S_2^T - S_1^T)}. \quad (3.3)$$

Выражение (3.3) позволяет по результатам моделирования задержек распространения сигналов сложения S для двух младших разрядов двух сравниваемых сумматоров S_1^O , S_2^O , S_1^T и S_2^T вычислить N_{PP3} – номер разряда, при котором их задержки равны, и далее происходит смена состояния отставание (превосходство) по задержке распространения сигнала сложения одного из сумматоров над другим на превосходство (отставание).

Из определения N_{PP3} следует, что теоретически он может принимать любое значение от $-\infty$ до $+\infty$. Поэтому для практического применения требуется аналитическое описание численных значений критерия N_{PP3} , полученных с помощью (3.3), которые приводятся в следующем разделе.

3.3. Принципы анализа по критерию сравнения «разрядность равных задержек»

Физический смысл переменных (3.3) ограничивает рабочую область их численных значений до $S_1^O > 0$, $S_2^O > 0$, $S_1^T > 0$, $S_2^T > 0$ и $S_2^O > S_1^O$, $S_2^T > S_1^T$. За исключением перечисленных ограничений S_1^O , S_2^O , S_1^T и S_2^T теоретически могут принимать любые значения.

- $N_{PP3} = 1$. Это реализуется, только если числитель второго члена (3.3) равен нулю, то есть $(S_1^T - S_1^O) = 0$. Это означает, что два сравниваемых сумматора, опорный и тестируемый, имеют в первом разряде равные задержки времени сложения. Если при этом знаменатель второго члена (3.3) тоже равен нулю, то есть $(S_2^O - S_1^O) - (S_2^T - S_1^T) = 0$, то их линейные уравнения зависимостей задержки формирования сигнала S_N от номера разряда N совпадают и оба сумматора абсолютно идентичны. Хотя такое совпадение теоретически и возможно, на практике вероятность исхода такого события крайне мала и может быть полностью исключена повышением точности результатов моделирования. Если же $(S_2^O - S_1^O) - (S_2^T - S_1^T) \neq 0$, то возможны два варианта: $(S_2^O - S_1^O) - (S_2^T - S_1^T) > 0$ и $(S_2^O - S_1^O) - (S_2^T - S_1^T) < 0$. В этом случае нулю второго члена правой части (3.3) присваивается соответствующий знак (плюс или минус). Для первого варианта $N_{PP3} = 1+$, а для второго $N_{PP3} = 1-$. Если $N_{PP3} = 1+$, то опорный сумматор всегда уступает тестируемому по быстродействию (имеет большую задержку по операции сложения) на любом разряде, и если $N_{PP3} = 1-$, то опорный сумматор всегда превосходит тестируемый по быстродействию (имеет меньшую задержку по операции сложения) на любом разряде.

- $N_{PP3} > 1$. Если при этом $S_1^T > S_1^O$, то это значит, что тестируемый сумматор уступает опорному по быстродействию вплоть до N_{PP3} и начинает превосходить по быстродействию опорный, начиная с N_{PP3} . Например, после моделирования по методике РРЗ (раздел 3.1) и вычислений N_{PP3} по (3.3) получено: $N_{PP3} = 5.5...$ Это значит, что при построении сумматора по традиционной архитектуре с разрядностью ≤ 5 более высоким быстродействием будет обладать опорный сумматор, а начиная с 6-го – тестируемый. Если же $S_1^T < S_1^O$, то тестируемый сумматор превосходит опорный по быстродействию вплоть до N_{PP3} и начинает ему уступать по быстродействию, начиная с N_{PP3} .

• $N_{pp3} < 1$. Если при этом $S_1^T < S_1^O$, то это значит, что тестируемый сумматор всегда превосходит опорный по быстродействию и это превосходство только увеличивается с ростом разрядности проектируемого сумматора при любой выбранной архитектуре. И, наоборот, если $S_1^T > S_1^O$, то тестируемый сумматор всегда уступает опорному по быстродействию и это отставание только увеличивается с ростом разрядности проектируемого сумматора при любой выбранной архитектуре.

• $N_{pp3} = \infty$. Это происходит только, если знаменатель второго члена правой части (3.3) равен нулю и числитель не равен нулю (случай, когда и числитель, и знаменатель второго члена правой части (3.3) равны нулю, описан ранее). Это означает, что система линейных уравнений зависимостей задержки формирования сигнала S_N от номера разряда N двух сравниваемых сумматоров не имеет решения, а прямые, описываемые этими уравнениями, параллельны. Очевидно, что в этом случае среди двух сравниваемых сумматоров превосходство по быстродействию всегда будет принадлежать тому из сумматоров, у которого S_1 или S_2 меньше.

4. Пример практического применения новой методики сравнения сумматоров

Рассмотрим конкретный пример результатов сравнения четырёх различных схемотехнических решений одноразрядных полных сумматоров с последовательным переносом (рис. 4). В таблице 1 приведены результаты моделирования и сравнения

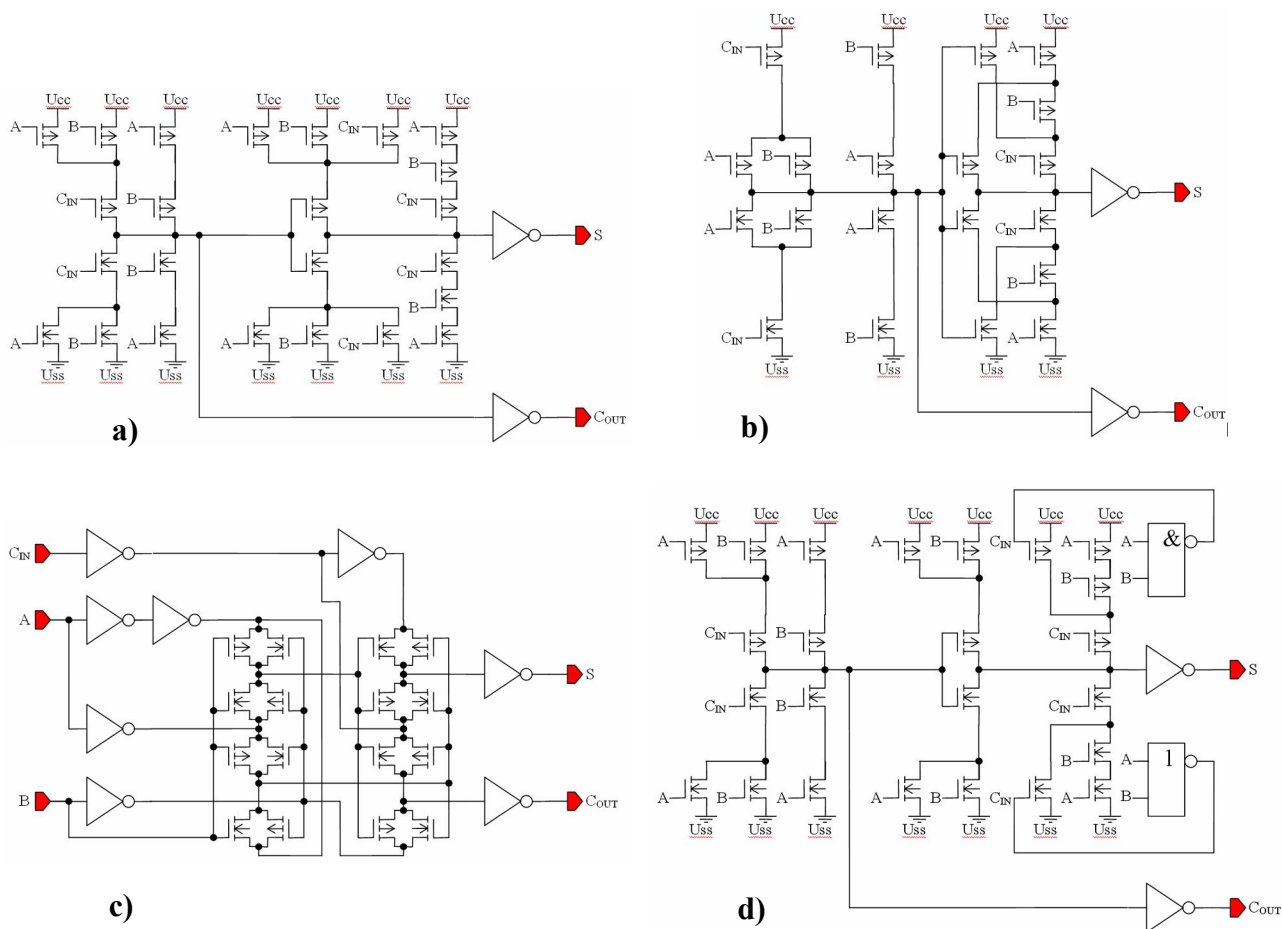


Рис. 4

Четыре схемотехнических решения построения ячеек КМОП сумматоров, выбранных для сравнения:

a) - сумматор 1 [3,4]; b) – сумматор 2 [14]; c) – сумматор 3 (сумматор на передаточных вентилях); d) – сумматор 4 [15]

четырёх сумматоров на рис. 4 по известной методике [12,13]. Все приведённые результаты моделирования получены с помощью программы PSpice из пакета OrCAD 9.2 ф. Cadence с использованием математической модели 3-го уровня и данными 3-х мкм КМОП технологического процесса.

Таблица 1

Результаты моделирования и сравнения четырёх сумматоров на рис. 4 по известной методике [12, 13]

| Полный сумматор | Задержка по операции сложения, (nS) | Рейтинг по быстродействию |
|-----------------|-------------------------------------|---------------------------|
| Сумматор 1 | 13.674 | 2 |
| Сумматор 2 | 20.398 | 4 |
| Сумматор 3 | 11.631 | 1 |
| Сумматор 4 | 14.504 | 3 |

Анализ приведённых результатов моделирования показывает неоспоримое преимущество сумматора 3 по быстродействию над остальными. Однако результаты моделирования по предложенной альтернативной методике опровергают это поверхностное заключение. В таблице 2 приводятся исходные данные, результаты расчёта N_{PP3} и сравнение по предлагаемой методике для всех комбинаций пар сравнения этих четырёх сумматоров.

Таблица 2

Результаты моделирования, значения N_{PP3} и прогноз поведения по предложенной методике сравнения для всех комбинаций пар сравнения четырёх сумматоров на рис. 4

| № комбинации сравнения | Опорный сумматор, ($S_1; S_2$), (nS) | Тестируемый сумматор, ($S_1; S_2$), (nS) | N_{PP3} | Прогноз поведения сравниваемых ячеек сумматоров при работе в составе N-разрядных устройств |
|------------------------|--|--|-----------|---|
| 1 | Сумматор 1 ($S_1 = 13,574$; $S_2 = 20,636$) | Сумматор 2 ($S_1 = 20,533$; $S_2 = 27,459$) | 11.027 | Сумматор 2 уступает Сумматору 1 по быстродействию вплоть до 11-го разряда включительно и начинает его превосходить, начиная с 12-го и выше. |
| 2 | Сумматор 1 ($S_1 = 13,574$; $S_2 = 20,636$) | Сумматор 3 ($S_1 = 11,798$; $S_2 = 19,398$) | 4.301 | Сумматор 3 превосходит Сумматору 1 по быстродействию вплоть до 4-го разряда включительно и начинает ему уступать, начиная с 5-го и выше. |
| 3 | Сумматор 1 ($S_1 = 13,574$; $S_2 = 20,636$) | Сумматор 4 ($S_1 = 14,521$; $S_2 = 20,817$) | 2.233 | Сумматор 4 уступает Сумматору 1 по быстродействию вплоть до 2-го разряда включительно и начинает его превосходить, начиная с 3-го и выше. |
| 4 | Сумматор 2 ($S_1 = 20,533$; $S_2 = 27,459$) | Сумматор 3 ($S_1 = 11,798$; $S_2 = 19,398$) | 13.96 | Сумматор 3 превосходит Сумматору 2 по быстродействию вплоть до 13-го разряда включительно и начинает ему уступать, начиная с 14-го и выше. |
| 5 | Сумматор 2 ($S_1 = 20,533$; $S_2 = 27,459$) | Сумматор 4 ($S_1 = 14,521$; $S_2 = 20,817$) | -8.589 | Сумматор 4 при любой разрядности превосходит сумматор 2 по быстродействию. |
| 6 | Сумматор 3 ($S_1 = 11,798$; $S_2 = 19,398$) | Сумматор 4 ($S_1 = 14,521$; $S_2 = 20,817$) | 3.088 | Сумматор 4 уступает Сумматору 3 по быстродействию вплоть до 3-го разряда включительно и начинает его превосходить, начиная с 4-го и выше. |

Таким образом, в отличие от результатов сравнения таблицы 1 по методике [12,13] предлагаемая методика показывает преимущество применения сумматора 4 над тремя другими по быстродействию, начиная с четвертого разряда. Использование же ячеек однородных сумматоров при сложении чисел менее чем 4-разрядных редко применяется, так как в этом случае операция сложения реализуется с большей эффективностью и со сравнимыми затратами на простейших комплексных логических вентилях даже при применении сумматоров со схемами ускоренного переноса [16].

Заключение

В работе описана новая методика сравнения быстродействия параллельных сумматоров с последовательным переносом, представлена простая структурная схема для моделирования, дан алгоритм определения нового критерия сравнения сумматоров по быстродействию «разрядность равных задержек» N_{PP3} и продемонстрировано его практическое применение.

Показано, что общепринятая методика [12,13] не даёт прямого ответа при выборе оптимального схемотехнического решения для построения сложных N -разрядных устройств.

Вычисление введённого критерия сравнения N_{PP3} по предложенной методике позволяет определить теоретический разряд, при котором задержка по операции сложения двух сравниваемых сумматоров равна, а его анализ – точно прогнозировать поведение сравниваемых ячеек сумматоров в составе N -разрядных сумматоров и, следовательно, избежать возможных ошибок при выборе оптимального решения.

Автор выражает благодарность профессору Гридчину В. А. за прочтение рукописи и ценные замечания.

Литература

1. J.M. Rabaey, A. Chandrakasan, B. Nikolic, Digital Integrated Circuits, A Design Perspective, 2nd Prentice Hall, Englewood Cliffs, NJ, 2002.
2. J. Uyemura. CMOS Logic Circuit Design. Kluwer, 1999, ISBN 0-7923-8452-0.
3. N. Weste, K. Eshragian. Principles of CMOS VLSI Design: A Systems Perspective, Addison-Wesley, 1993.
4. R. Zimmermann, W. Fichtner. Low-power logic styles: CMOS versus pass-transistor logic. - IEEE J. Solid-State Circuits, Vol.32, pp.1079-1090, July 1997.
5. A. A. Khatibzaden, K. Raamran. A 14-transistor Low-Power High-Speed Full Adder Cell. Department of Electrical and Computer Engineering Ryerson University, Toronto, Ontario, Canada, M5B 2K3, CCECE 2003 – CCGEI 2003, Montreal, May/mai 2003 0-7803-7781-8/03/\$17.00 © 2003 IEEE
6. K. Navi¹, O. Kavehie¹, M. Rouholamini², A. Sahafi², and S. Mehrabi². A Novel CMOS Full Adder. ¹ Department of Electrical & Computer Engineering, Shahid Beheshti University, Evin 19839-63113, Tehran, Iran, ² Research and Science Center of Hesarak, Punak, Tehran, Iran, 20th International Conference on VLSI Design (VLSID'07), 0-7695-2762-0/07 \$20.00 © 2007 IEEE
7. S. Issam, A. Khater, A. Bellaouar, M.I. Elmasry, 1996. Circuit techniques for CMOS lowpower high performance multipliers. - IEEE J. Solid-State Circuit 31, pp. 1535-1544.
8. U. Ko, p.T. Balsara, W. Lee. Low-Power Design Techniques for High Performance CMOS Adders. - IEEE Transactions on VLSI Systems, Vol.3, No.2, pp.327-333, June 1995.
9. J.Yuan, C. Svensson. High-Speed CMOS Circuit Technique. - IEEE JSSC, vol. 24, No.1, February 1989.
10. I. Abu-Khater, A. Bellaouar, M. Elmasry. Circuit Techniques for CMOS Low-Power High-Performance Multiplier. - IEEE JSSC, vol. 31, No.10, October 1996.
11. Massimo Alioto, Gaetano Palumbo. Analysis and Comparison on Full Adder Block in Submicron Technology. - IEEE Trans. On Very Large Scale Integration (VLSI) Systems, Vol.10, No.6, December 2002, pp.806-823.
12. Y.-M. Hsu and E. E. Swartzlander. Measuring delay time in adders using simulation. - in Proc. of the 37th Midwest Symposium on Circuits and System, vol.1, pp.265-268, Aug. 1994.
13. A. M. Shams, T. K. Darwish and M. Bayoumi. Performance Analysis of Low-Power 1-Bit CMOS Full Adder Cells. - IEEE Trans. on VLSI Systems, Vol. 10, No. 1, February 2002, pp. 20-29.
14. Быков С. В. Авторское свидетельство № 1034031, СССР, G06F 7/50, 07.08.1983г.
15. Шубин В. В. Патент на изобретение РФ №2380739, G06F 7/50, Сумматор, ФГУ ФИПС, бюллетень №3, 27.01.2010г.
16. В. В. Ракитин. Интегральные схемы на КМОП-транзисторах. - МФТИ, Москва, 2007.