

Матричный КМОП мультиплексор формата 640x512 ячеек для гибридных фотоприёмных устройств

Бородин Д. В., Осипов Ю. В., Васильев В. В.

Создана микросхема матричного мультиплексора формата 640x512 ячеек размером 20x20 мкм. Представлены схема и блок-схемы основных узлов, описаны принцип функционирования и основные режимы, приведены основные параметры, осциллограммы выходного сигнала в тестовом режиме, примеры изображений с использованием функции «окно». Микросхема предназначена для создания инфракрасных матричных гибридных ФПУ с чувствительными элементами на основе InSb, InGaAs, AlGaAs-GaAs и др.

На основе опробованных в 2001-2008 г. на матричных мультиплексорах форматов от 128x128 до 320x256 ячеек схемотехнических и топологических решений [1,2] разработана и изготовлена микросхема считывания и предварительной обработки сигнала с резистивных и диодных фотоматриц формата 640x512 ячеек. Микросхема может быть использована при создании гибридных (собранных с использованием перевёрнутого монтажа на индиевых микростолбиках) ФПУ с чувствительными элементами (ЧЭ) на основе InSb, InGaAs, сверхрешёток типа AlGaAs-GaAs, рентгеночувствительных матриц на основе GaAs и др. Основные параметры и функциональные возможности мультиплексора формата 640x512 ячеек:

- период ячеек 20x20 мкм;
- зарядовая ёмкость ячейки – не менее 5×10^6 электронов;
- собственный шум – не более 10^3 электронов;
- диапазон изменения выходного сигнала – не менее 1,5 В;
- максимальная тактовая частота – не менее 10 МГц;
- максимальная частота кадра полного формата – 250 Гц;
- наличие функции «окно» (уменьшение опрашиваемой области с пропорциональным увеличением кадровой частоты). Возможно любое положение и размер окна с шагом в 16 ячеек;
- последовательный интерфейс задания размера и положения «окна»;
- наличие функции вычитания части входного тока до интегрирования (темновой, фоновой составляющей фототока);
- двойная выборка;
- количество дифференциальных аналоговых выходов – 4 или 8;
- режимы функционирования – считывание во время интегрирования («конвейерный» или «rolling») и считывание после интегрирования («мгновенная фотография» или «snapshot»);
- рассеиваемая мощность при тактовой частоте 5 МГц и кадре полного формата не более 50 мВт;
- напряжения питания и логические уровни – 0 и 5 В;
- количество используемых выводов микросхемы – от 18 до 38 шт., в том числе: цифровых входов/выходов – 8, регулируемых напряжений (токов) – от 1 до 4, аналоговых выходов – от 4 до 16, выходов встроенного термометра – 3, дополнительных тестовых входов микросхемы – 2.

Принципиальная схема ячейки и аналогового тракта вывода информации аналогична используемой ранее в матричных мультиплексорах (рис. 1). Ячейка содержит транзисторы: сброса M1, «подпороговый» M2, ключевой M3, буферный M4, а также ёмкость интегрирования C. Транзистор сброса обеспечивает зарядку ёмкости C в исходное состояние перед интегрированием и перед второй выборкой, а во время интегрирования может находиться в подпороговом состоянии и обеспечивать стекание части входного тока ячейки (например, темнового тока ЧЭ) на землю, не переполняя ёмкость интегрирования, что как бы увеличивает эффективную зарядовую ёмкость ячейки. Транзистор M2 обеспечивает необходимое согласование с присоединённым к ячейке ЧЭ (D) во время интегрирования и отключение ячейки от ЧЭ во время вывода информации (режим «считывание после интегрирования»). Ключевой транзистор M3 подключает буферный транзистор M4 к столбцовой выходной шине. На периферии массива ячеек в каждом столбце располагаются два устройства выборки и хранения с буферами (УВХ1 и УВХ2) и два КМОП ключа, подключающих выходы УВХ к выходным шинам, с которых информация через выходные буфера передаётся на выход микросхемы. В качестве выходных буферов используются рМОП транзисторы с открытым истоком.

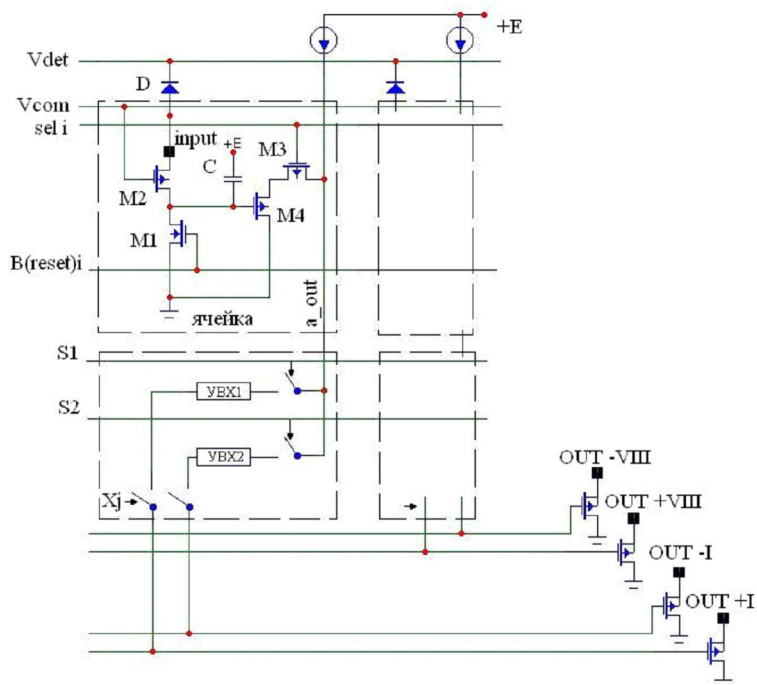


Рис. 1

Схема ячейки и структурная схема аналогового тракта вывода сигнала

Режимы функционирования «конвейерный» и «мгновенная фотография» отличаются методом разделения всего времени кадра на время интегрирования и время вывода информации. В режиме «мгновенная фотография» время интегрирования, его начало и окончание определяются началом и окончанием внешнего импульса и происходят во всех ячейках матрицы одновременно, после чего выполняется вывод информации со всего массива ячеек (или «окна»). В «конвейерном» режиме время интегрирования меньше кадрового времени (или времени «окна») лишь на время вывода информации с одной строки (со служебными импульсами), то есть близко к максимально возможному. Интегрирование в каждой строке начинается сразу после окончания вывода информации с этой строки, а заканчивается перед началом вывода. Время начала и окончания

интегрирования в каждой строке задержано относительно времени начала и окончания интегрирования в предыдущей строке на время вывода информации строки (со служебными импульсами).

В обоих режимах организация вывода информации однотипна. Импульсами SEL цифрового узла микросхемы (рис. 2) последовательно выбираются строки массива, и транзисторы М3 открываются во всех ячейках выбранной строки. Подключённые через М3 к источнику тока буферные транзисторы М4 ячеек формируют на своих столбцовых выходных шинах напряжения, пропорциональные току ЧЭ и времени интегрирования. Во время импульсов S1 и S2 проводятся выборки на УВХ1 и УВХ2. Между импульсами S1 и S2 делается сброс ёмкости интегрирования ячеек в исходное состояние (импульс В). Тем самым на выходе УВХ1 формируется напряжение, полученное в результате всего времени интегрирования, а на выходе УВХ2 – в течение лишь полутора периодов тактовой частоты CLK. Поскольку оба напряжения получены через одни и те же буферный и ключевой транзисторы ячейки, то их технологические отклонения параметров (которым они наиболее подвержены из-за своих малых размеров) в разностном сигнале будут устранены. Кроме того, наличие дифференциального выхода позволяет эффективно подавлять синфазные помехи при выводе сигнала из холодной зоны ФПУ во внешние устройства.

Коммутация выходов УВХ на выходные буферы микросхемы проводится в зависимости от количества используемых аналоговых выходов микросхемы (4 или 8). В случае четырёх дифференциальных выходов в течение одного периода CLK на выходы I, II, III, IV микросхемы коммутируются соответственно выходы УВХ столбцов 1, 2, 3 и 4, в следующий период CLK – 5, 6, 7 и 8 и так далее. В случае восьми выходов микросхемы – 1, 2, 3, 4, 5, 6, 7 и 8, в следующий период CLK – 9, 10, 11, 12, 13, 14, 15 и 16 и так далее до окончания строки опрашиваемой области. Далее выбирается следующая строка и процедура повторяется.

Все внутренние управляющие импульсы формируются в цифровом узле, блок-схема которого представлена на рис. 2.

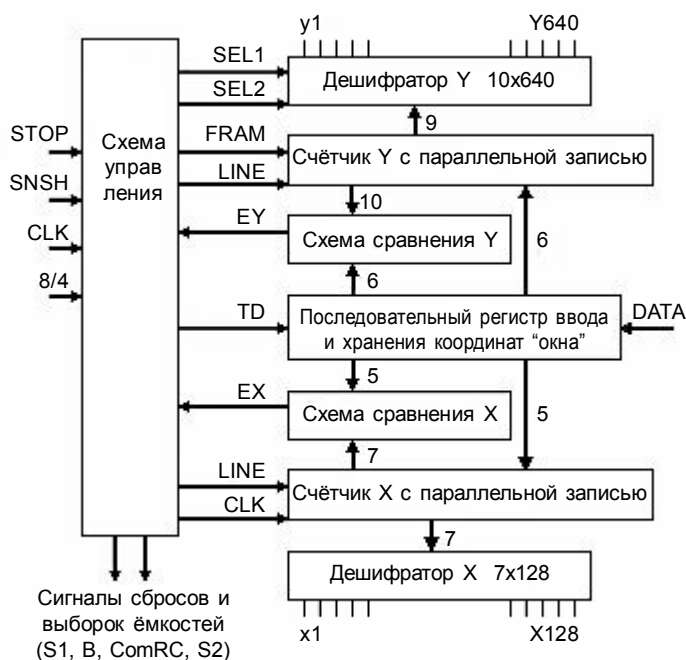


Рис. 2
Блок-схема цифрового узла

Пять цифровых входов используются для управления микросхемой, в том числе:

- CLK – тактовая частота, является тактовой частотой семиразрядного счётчика X. При записи в последовательный регистр ввода и хранения кодов окна опроса является тактовой частотой регистра;

- STOP – многофункциональный вход (в режиме «мгновенная фотография» длительность импульса STOP определяет время интегрирования входного тока; спад импульса STOP управляет выборкой и сбросом интегрирующих ёмкостей; в конвейерном режиме и в режиме «мгновенная фотография» по переднему фронту STOP начинается ввод координат окна);

- 8/4 – вход выбора количества используемых дифференциальных аналоговых выходов;

- SNSH – включение «конвейерного» режима или режима «мгновенная фотография»;

- DATA – вход последовательного регистра данных.

Импульсы LINE и FRAME, вырабатываемые схемой управления, устанавливают счётчики в соответствии с записанными в регистре кодами начала «окна» и являются импульсами начала опроса строки и кадра соответственно.

В «конвейерном» режиме инициирование начала выборок и сбросов в каждой строке проводится сигналом из схемы сравнения X. Опрос ячеек продолжается до тех пор, пока схема сравнения по X (Y) не укажет на равенство кодов счётчика и записанных в регистре кодов конца «окна». После чего в течение пяти служебных импульсов CLK проводятся выборки и начинается опрос новой строки (кадра).

В режиме «мгновенная фотография» в самом начале накопления проводится общий сброс (COMRC) ёмкостей во всех ячейках матрицы. Построчный опрос кадра проводится после окончания времени накопления и проведения выборок и сбросов. Вывод кадров проводится до прихода следующего импульса STOP, однако последующие кадры не несут новой полезной информации, так как входы ячеек закрыты.

Запись координат области опроса («окна») проводится в последовательный регистр через вход DATA в течение 24 тактов CLK после переднего фронта импульса STOP. Все изменения по входам STOP и DATA подготавливаются по спадам частоты CLK. По передним фронтам CLK информация записывается в регистр.

Если первый бит $W = 1$ (таблица), то происходит запись последующего кодового слова. Если $W = 0$, то смены информации в регистре не происходит и последующие 23 бита не имеют значения.

Если второй бит $M = 1$, то независимо от последующих 22 битов в регистре устанавливается код опроса максимального окна (640x512).

Если $W = 1$ и $M = 0$, то далее необходимо корректно ввести координаты области опроса, так чтобы коды начала окна не превышали кодов конца окна и чтобы коды конца окна не превышали максимальных значений по X и Y.

Таблица

Структура данных в последовательном регистре

1	2	3	4		7	8	9		12	13	14		18	19	20		24
W	M	D7	D6	...	D3	D7	D6	...	D3	D9	D8	...	D4	D9	D8	...	D4
		Конец окна по X 5 старших разрядов				Начало окна по X 5 старших разрядов				Конец окна по Y 6 старших разрядов				Начало окна по Y 6 старших разрядов			

Размеры и местоположение «окна» устанавливаются с кратностью в 16 ячеек. Два младших разряда кода X и четыре младших разряда кода Y фиксированы. Они не

вводятся в регистр, а принимают нулевые значения для кодов начала окна и единичные значения для кодов конца окна. Поэтому при опросе минимального окна 16x16 старшие разряды в кодах начала и конца окна будут совпадать. Координаты области опроса необходимо ввести хотя бы один раз после включения микросхемы.

В режиме «мгновенная фотография» область опроса можно менять каждый кадр. Следует заметить, что запись информации об «окне» из регистра в счётчики происходит после спада импульса STOP. К этому моменту кодовое слово должно быть полностью введено. Следовательно, в случае смены размеров и/или положения «окна» длительность импульса STOP должна быть более 24 периодов частоты CLK. Время интегрирования можно установить и меньше 24 периодов, если в начальные периоды задать ток сброса через транзистор M1 больше тока детектора. Такая «электронная заслонка» позволяет также изменять время интегрирования при постоянном времени кадра.

В качестве примера на рис. 3 показан ввод 24 битового кодового слова 10000000000100111100111 для опроса минимального левого нижнего окна.

В данной микросхеме (в отличие от предыдущих наших разработок матричных мультиплексоров) в связи с уменьшением шага ячеек до 20 мкм и увеличением формата матрицы сдвиговые регистры по X и Y заменены на дешифраторы. Это позволило уменьшить количество активных элементов в схемах выбора строк и столбцов, также упростить схему опроса «окна». Например, по сравнению с мультиплексором формата 320x256 площадь цифровых блоков мультиплексора уменьшилась с 7,1 мм² всего до 3,85 мм² несмотря на увеличение формата в четыре раза и расширение функций.

Топология микросхемы разработана по проектным нормам 0,6 мкм, один поликремний, два металла. Размер кристалла 12,2x13,9 мм. На рис. 4 представлена фотография микросхемы.

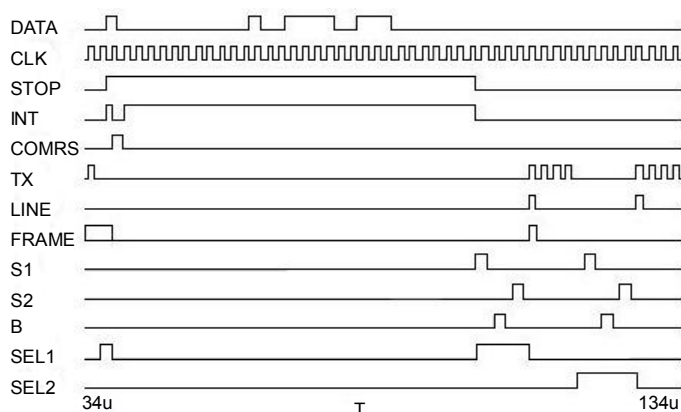


Рис. 3

Пример записи координат области опроса («окна») в последовательный регистр через вход DATA

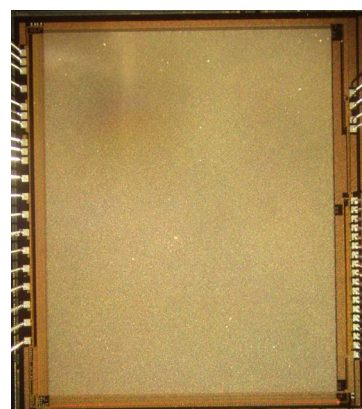


Рис. 4

Фотография микросхемы матричного мультиплексора формата 640x512

Проверка микросхемы на функционирование и измерение основных параметров проводится при помощи светового зонда, который генерирует в специальном кремниевом фотодиоде в каждой ячейке ток, заменяющий фототок от ЧЭ [3].

На рис. 5а приведена осциллограмма восьми первых строк выходного сигнала с мультиплексора при нулевом входном токе ячеек (кривая 1), при среднем уровне сигнала от примерно равномерной засветки матрицы (кривая 2) и при насыщении

(кривая 3). В проверочном режиме на входы ячеек строки №1 может быть подано произвольное внешнее напряжение. На осциллограммах рис. 5 на эти входы подано напряжение, соответствующее насыщению выходного сигнала. Осциллограмма при засветке пятном размера примерно 80x80 ячеек приведена на рис. 5б. На рис. 6 показаны четыре изображения, полученные от сфокусированной на поверхность микросхемы нити накаливания осветителя микроскопа. Каждое из них имеет формат 320x256 и получено с использованием функции «окно», причём эти «окна» располагались по углам поля матрицы 640x512. Видно, что дефектные строки и столбцы отсутствуют.

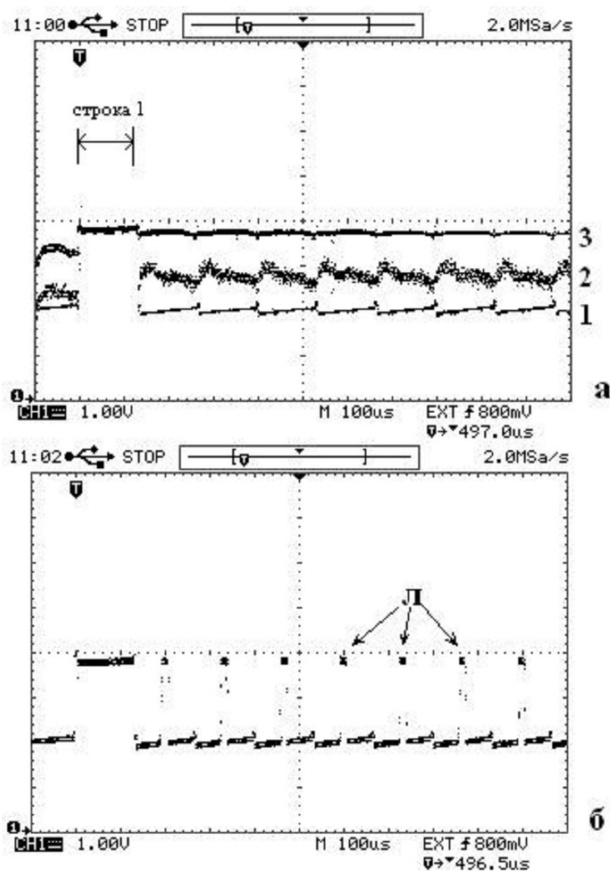


Рис. 5

Осциллограммы выходного напряжения при различных уровнях входного сигнала (а) и при сигнале в виде пятна (б)

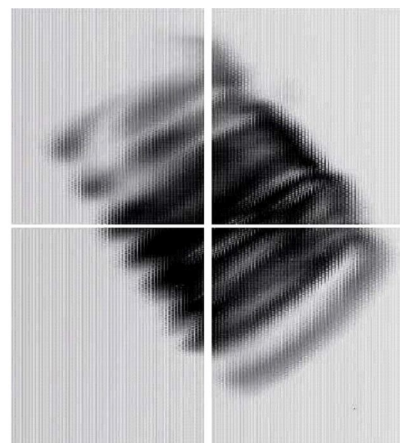


Рис. 6

Примеры изображений с использованием функции «окно». Тактовая частота 5 МГц

Ведущими зарубежными фирмами-разработчиками и производителями инфракрасной техники гибридные охлаждаемые ФПУ форматов 320x256 и 640x512 с аналоговым выходом были разработаны 10-15 лет назад и в настоящее время являются коммерческим продуктом. Трудности создания подобных отечественных ФПУ обусловлены многими причинами, одна из которых связана с отсутствием до последнего времени качественных матричных мультиплексоров.

Надеемся, что созданные мультиплексоры как формата 320x256 [2], так и 640x512 будут способствовать скорейшей разработке и производству российских ФПУ мирового уровня.

Литература

1. Бородин Д. В., Осипов Ю. В. Матричный мультиплексор с кадровым накоплением для фотоприёмных устройств. // Прикладная физика, 2003, №6, с. 98-99.
2. Бородин Д. В., Осипов Ю. В., Васильев В. В., Самогаев Б. А. Аналоговые фокальные КМОП процессоры для гибридных линейчатых, субматричных и матричных ИК фотоприёмных устройств. – XXI МНТК по фотоэлектронике и приборам ночного видения. // Москва, 2010, с. 107-109.
3. Бородин Д. В., Осипов Ю. В., Лопухин А. А. Тестирование интегральных схем матричных мультиплексоров. // Прикладная физика, 2003, №1, с. 156-158.