

Оценка параметров модели многоуровневого быстродействующего аналого-цифрового преобразователя, использующего метод предсказания

Волков И. В., Румянцев С. В., Фокин Ю. М.

Представлена модель в виде смешанной структурной схемы аналого-цифрового преобразователя (АЦП), в которой часть модулей выполнена на транзисторном уровне, а другая – на уровне функциональных описаний на языке Verilog-A. Алгоритм работы АЦП основан на методе построения прогнозной величины входного сигнала для следующего такта с целью исключения усилителя выборки-хранения на входе устройства. При построении устройства была использована нерекурсивная архитектура с прямой передачей прогнозного сигнала, позволяющая получить высокое быстродействие преобразователя. В отличие от известных АЦП с предсказанием в представленной модели используется “быстрое” аналоговое формирование прогноза. На основе описанной схемы предложен 14-разрядный АЦП с тактовой частотой 100 МГц. Также продемонстрирована принципиальная электрическая схема дифференциатора, которая используется в блоке вычисления аналогового прогноза приращения входного сигнала. Приведены результаты моделирования устройства в среде смешанного моделирования Cadence Analog Mixed Signal (AMS) Designer с целью определения быстродействия АЦП. С целью оценки динамических параметров преобразователя приведены результаты моделирования устройства в среде Cadence Analog Design Environment (ADE).

Введение

В настоящее время в связи с широким распространением электронных приборов в жизни общества и применением методов цифровой обработки сигналов параметры интегральных аналого-цифровых преобразователей во многих случаях оказывают решающее влияние на характеристики электронного оборудования. Особое место в этом ряду занимают многоуровневые быстродействующие АЦП, применяемые в телекоммуникационных системах, приёмниках сотовой связи и телевидении высокой чёткости, системах обработки изображений, в автоматическом испытательном оборудовании и других областях. В данной статье под многоуровневыми быстродействующими АЦП подразумеваются приборы с количеством бит в пределах 12...16 и тактовой частотой не менее 100 МГц. На сегодняшний день наиболее распространённой для устройств такого класса является конвейерная архитектура (pipe-line), представленная в мировой практике большим количеством вариантов, в том числе и АЦП с временным перемешиванием (time-interleaved).

Известно, что одним из основных ограничивающих факторов конвейерной архитектуры является наличие входного устройства выборки-хранения (УВХ), к которому предъявляются наиболее жесткие требования по точности, стабильности и разрешающей способности. Таким образом, схемно-архитектурные решения, которые позволяют исключить использование входного УВХ или резко снизить предъявляемые к нему требования при сохранении высоких скоростных и точностных свойств преобразователя в целом, потенциально способны увеличить производительность АЦП. Одним из возможных вариантов решений являются АЦП с предсказанием (прогнозом) величины входного сигнала.

Обзор АЦП с прогнозом входного сигнала

К настоящему времени известны варианты АЦП [1-7], в основе которых лежит

идея прогноза входного сигнала и коррекции результата. При таком подходе в каждом такте формируется прогнозное значение сигнала на следующий такт как в аналоговом представлении, так и в цифровой форме. Поскольку это значение приближённое, то его цифровое представление можно формировать по так называемой грубой шкале, то есть кодировать некоторым количеством только старших разрядов, меньшим, чем разрядность всего АЦП. Мгновенное значение сигнала в текущем такте и его приближённое значение, вычисленное в предыдущем такте, вычитаются друг из друга. В дальнейшем эта разница используется для коррекции кода сигнала с целью получения его цифрового значения уже по точной шкале.

Некоторые из этих преобразователей построены по архитектуре с обратной связью [2-4, 6], что вынуждает разработчиков принимать дополнительные меры по обеспечению устойчивой работы устройства. Это ухудшает основные параметры устройства такие как полоса пропускания или быстродействие АЦП. Нерекурсивная архитектура с прямой передачей прогнозного сигнала [1] позволяет получить более высокое быстродействие преобразователя.

В качестве примера на рисунке 1 изображена схема быстродействующего многоразрядного АЦП (ф. Hughes Aircraft [1]) с прямой передачей прогнозного сигнала. В этой схеме для получения прогноза входной сигнал оцифровывается быстродействующим малоразрядным АЦП, например 6...8 бит, обозначенным на схеме как Q_c , выход которого подаётся на блок формирования прогноза PRED. Далее выход предсказателя разветвляется между регистром REG для временного хранения прогноза и цифро-аналоговым преобразователем DAC. Аналоговый разностный (корректирующий) сигнал оцифровывается другим встроенным АЦП Q_f аналогичным Q_c , после чего проводится алгебраическое сложение разностного сигнала с ранее вычисленным прогнозным сигналом и формируется окончательный выходной код.

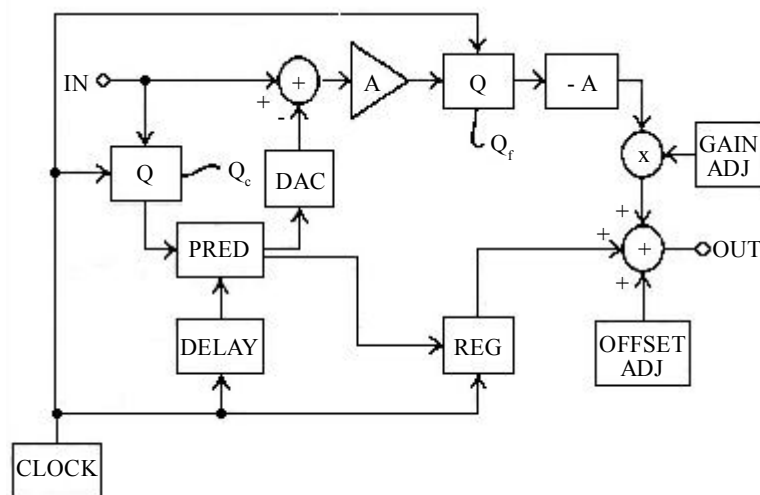


Рис. 1

Структурная схема прогнозного АЦП ф. Hughes Aircraft

В литературе [1-7] приведены структурные схемы прогнозных АЦП для разных областей применения. Анализ этих схем с предсказанием показывает, что исходный прогноз формируется преимущественно в цифровом виде. С этой целью применяются специализированные процессоры на основе адаптивных, то есть самонастраивающихся цифровых фильтров, выполняющих процедуру адаптивного линейного предсказания [8]. Адаптация выполняется с помощью подстройки коэффициентов цифрового фильтра/контроллера в режиме on-line в рабочей области путём оптимизации ранее заданных

величин.

Наиболее широко используемыми фильтровыми структурами в прогнозных приложениях являются фильтры трансверсального и решётчатого типов. Коэффициенты a_i для трансверсального и соответственно коэффициенты k_m для решётчатого предсказателей рассчитываются с помощью достаточно сложной процедуры, использующей алгоритм Левинсона-Дурбина [8].

Из вышесказанного вполне очевидно, что такой подход к вычислению прогнозных величин требует применения функционально сложных блоков цифровой обработки сигналов (ЦОС). От их быстродействия зависят временные параметры АЦП в целом, они занимают значительное место на кристалле, рассеивают заметную мощность и вносят дополнительные шумы, поэтому выгоды от использования ЦОС-процессоров будут проявляться при использовании технологических процессов с достаточно малыми значениями проектных норм, вероятнее всего, процессов нанометрового диапазона. Напрашивается вывод, что для реализации интегральных АЦП указанного класса (разрядность 12...16 бит, тактовая частота не менее 100 МГц) на реально имеющихся в России субмикронных КМОП-технологиях 0,5 мкм/0,35 мкм/0,25 мкм необходимо искать более “быстрые” способы формирования прогноза.

Описание используемого метода

Основная идея метода функционирования предлагаемого устройства, как и рассмотренных выше схем, заключается в том, что на каждом такте t_i работы АЦП роль прецизионного входного УВХ “выполняется” самим входным сигналом. С этой целью одновременно проводятся следующие основные операции:

- вычисляется прогнозное значение сигнала на следующий такт;
- выполняется вычисление значения сигнала для текущего такта путём коррекции прогнозного значения, полученного на предыдущем такте.

Алгоритм функционирования устройства

Отличие от рассмотренных выше схем заключается в том, что прогнозное значение сигнала в данном случае строится следующим образом (рисунок 2):

- в момент t_i рассчитывается аналоговая величина PRa_i прогнозного приращения входного сигнала V_{in} к моменту t_{i+1} (относительный аналоговый прогноз), которая затем преобразуется в относительный цифровой прогноз PRd_i по грубой шкале с помощью вспомогательного высокоскоростного малоразрядного АЦП, построенного, например, по 8-разрядной “folding”-архитектуре. Величина единицы младшего разряда этого встроенного АЦП обозначена на рисунке 2 как LSB1 (младший разряд грубой шкалы);
- параллельно с вышеописанной операцией с помощью аналогичного АЦП производится вычисление цифрового значения сигнала D_i ;
- путём сложения цифровых величин PRd_i и D_i с учётом их знаков вычисляется значение величины Pd_i (абсолютный цифровой прогноз), которая с помощью восстанавливающего ЦАП преобразуется в аналоговую величину Pa_i , называемую абсолютным аналоговым прогнозом.

Коррекция результата происходит следующим образом: с помощью прецизионного аналогового вычитателя в момент времени t_{i+1} формируется значение $Diff1_{a_i}$, величина которого равна разности между фактическим значением входного сигнала V_{in} в данный момент и абсолютным аналоговым прогнозом Pa_i . Как видно из рисунка 2, значение величины $Diff1_{a_i}$ в общем случае может превышать значение LSB1. Поэтому коррекция результата происходит в 2 этапа: этап грубой коррекции и этап точной коррекции.

На этапе грубой коррекции проводится оцифровка $Diff1_{a_i}$ с точностью равной

LSB1, в результате чего формируется величина $Diff1_{d_i}$, корректирующая в сторону увеличения или уменьшения в зависимости от своего знака значение прогноза Pd_i . Величина $Diff1_{d_i}$ формируется с помощью схемы аналогичной каскаду конвейерного АЦП.

На этапе точной коррекции формируется величина $Diff2_{a_i}$ равная разности между $Diff1_{a_i}$ и аналоговым эквивалентом $Diff1_{d_i}$. После масштабирующего усиления эта величина преобразуется с точностью равной LSB2 (младший разряд точной шкалы) в цифровой эквивалент $Diff2_{d_i}$, который является поправочной величиной со знаком.

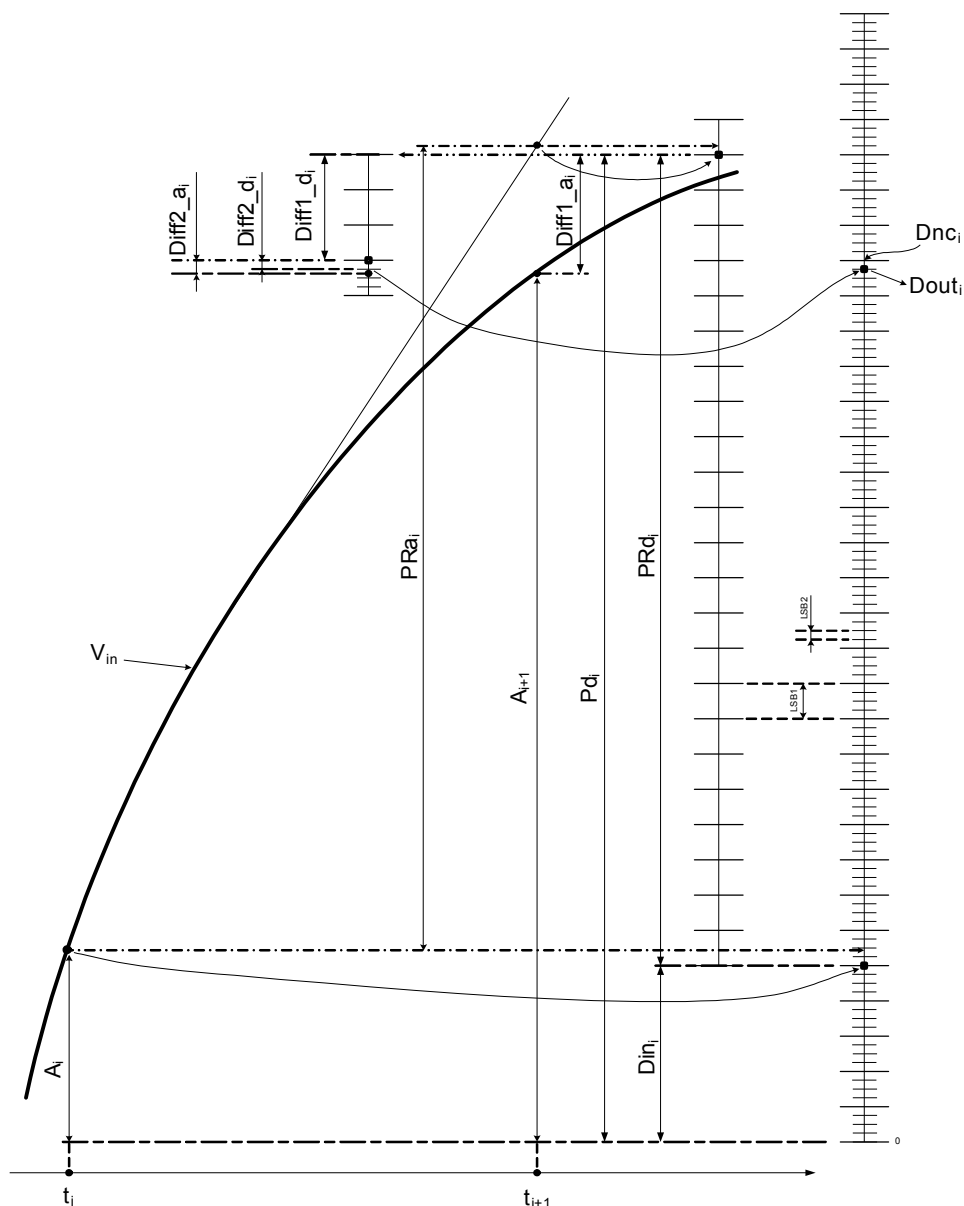


Рис. 2

Построение прогнозного значения сигнала

Описание предлагаемой структурной схемы

С целью подтверждения работоспособности предлагаемого устройства была разработана модель АЦП в виде смешанной структурной схемы, в которой часть модулей выполнена на транзисторном уровне, а другая – на уровне функциональных

описаний на языке Verilog-A.

К разрабатываемому АЦП были предъявлены следующие основные требования:

- число разрядов – 14;
- тактовая частота – не менее 100 МГц;
- полоса входного сигнала – не менее 25 МГц;
- напряжение питания – 2,5 В ± 10%;
- амплитуда входного сигнала – 0,8 В;
- технология – аналого-цифровой технологический КМОП-процесс НИИСИ РАН с минимальными топологическими нормами 0,25 мкм.

Структурная схема АЦП приведена на рисунке 3 (блок синхронизации не показан).

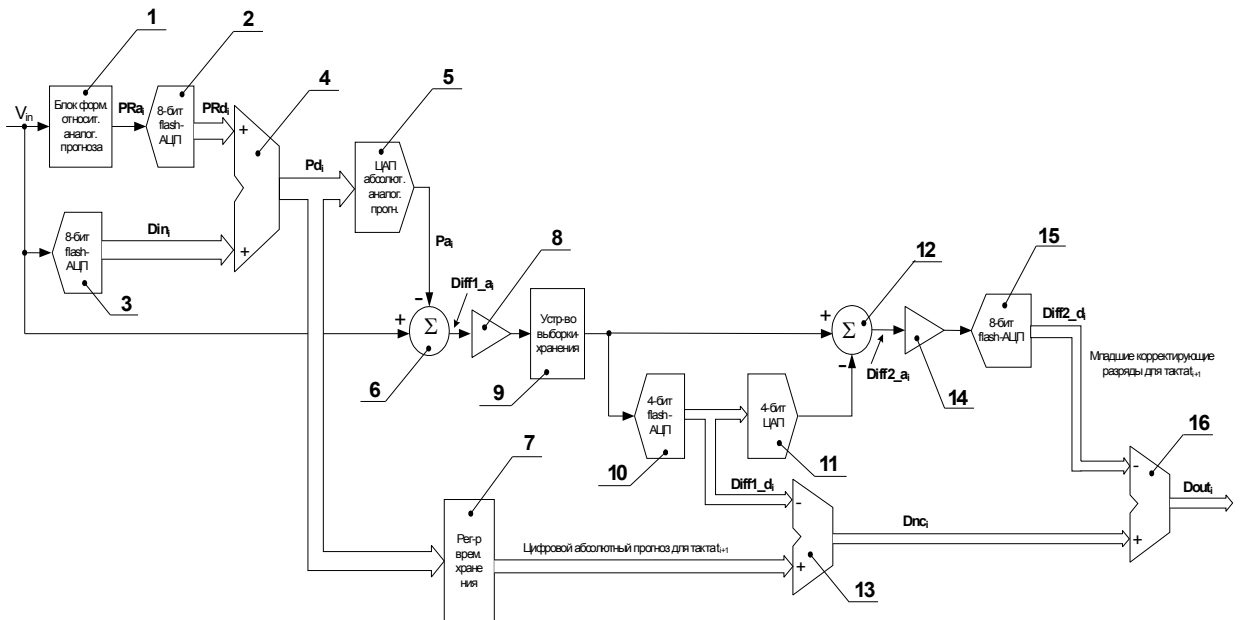


Рис. 3

Структурная схема предлагаемого АЦП:

1 – блок расчёта приращения сигнала для момента времени t_{i+1} (формирование относительного аналогового прогноза); 2 – быстродействующий малоразрядный АЦП для оцифровки значения аналогового прогноза (формирование относительного цифрового прогноза); 3 – быстродействующий малоразрядный АЦП для формирования грубого цифрового значения сигнала в момент времени t_i ; 4 – цифровой сумматор/вычитатель для формирования значения абсолютного цифрового прогноза для момента времени t_{i+1} ; 5 – восстанавливающий ЦАП для формирования значения абсолютного аналогового прогноза для момента времени t_{i+1} ; 6 – аналоговый вычитатель для формирования с погрешностью точной шкалы значения разности между фактическим значением входного сигнала в момент времени t_{i+1} и абсолютным аналоговым прогнозом для того же момента; 7 – регистр временного хранения значения абсолютного прогноза, сформированного для такта t_{i+1} ; 8 – масштабирующий усилитель; 9-12 – конвейерный каскад, формирующий разряды для промежуточной коррекции; 13 – сумматор/вычитатель для промежуточной коррекции значения абсолютного цифрового прогноза; 14 – масштабирующий усилитель; 15 – быстродействующий малоразрядный АЦП, формирующий разряды для точной коррекции; 16 – сумматор/вычитатель для точной коррекции абсолютного цифрового прогноза (формирования выходного кода)

Описание блока прогноза

Из рисунка 3 видно, что структурная схема состоит преимущественно из типовых, хорошо известных модулей и блоков [9-14]. Оригинальным здесь является только блок формирования аналогового относительного прогноза (блок 1), который в модели представлен на транзисторном уровне.

В предлагаемой модели АЦП вычисление относительного аналогового прогноза (приращения входного сигнала на следующий такт) основано на использовании формулы Тейлора:

$$V(t_i + \Delta t) - V(t_i) \approx V^{(1)}(t_i) \cdot \Delta t + \frac{1}{2} \cdot V^{(2)}(t_i) \cdot \Delta^2 t + \frac{1}{6} \cdot V^{(3)}(t_i) \cdot \Delta^3 t + \frac{1}{24} \cdot V^{(4)}(t_i) \cdot \Delta^4 t \dots$$

Точность вычисления приращения зависит от количества членов ряда и от величины шага приращения Δt . В данном случае мы ограничились тремя членами ряда. В качестве электрического эквивалента величины Δt используется напряжение сигнала с выхода фильтра схемы ФАПЧ (схемы синхронизации АЦП).

Как видно из формулы, основными операциями являются дифференцирование, умножение и сложение. Структурная схема блока прогноза представлена на рисунке 4.

Здесь DA1, DA2, DA3 – дифференциаторы, формирующие первую, вторую и третью производные входного сигнала соответственно; DA4, DA5, DA6 – умножители, вычисляющие соответственно первый, второй и третий члены ряда Тейлора; DA7 – суммирующий усилитель, на выходе которого формируется аналоговый относительный прогноз.

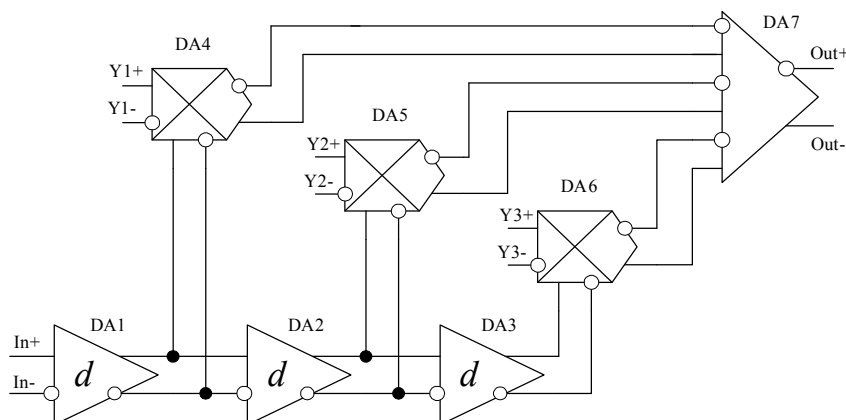


Рис. 4

Структурная схема блока прогноза

Умножители DA4, DA5 и DA6 вычисляют произведения первой, второй и третьей производных на коэффициенты $Y1$, $Y2$ и $Y3$, являющиеся электрическими эквивалентами величин Δt , $\Delta^2 t$ и $\Delta^3 t$ соответственно, то есть $Y1 \sim \Delta t$, $Y2 \sim \Delta^2 t$, $Y3 \sim \Delta^3 t$, где Δt – величина шага приращения.

На рисунке 5 изображена электрическая принципиальная схема используемого в блоке прогноза дифференциатора.

Дифференциатор должен обеспечить линейное преобразование сигнала в пределах его динамического диапазона ($\pm 0,8$ В) и требуемой полосы частот (не менее 25 МГц).

Двухкаскадная схема дифференциатора позволяет на первом каскаде получить производную входного дифференциального сигнала, а на втором каскаде усилить её в определённое количество раз. С целью обеспечения заданного входного динамического диапазона в пределах $\pm 0,8$ В были рассмотрены различные методы увеличения линейности схемы. Самыми эффективными из этих методов оказались использование на входе блока прогноза аттенюатора с коэффициентом ослабления 3 и увеличение ширины входных транзисторов M5 и M6 до 70 мкм с одновременным увеличением величины тока смещения в первых каскадах дифференциаторов до 250 мкА. Ослабление входного сигнала в дальнейшем компенсируется усилением сигнала на втором каскаде дифференциатора.

Размеры транзисторов токового зеркала M1-M4, а также размеры резистора R1 и конденсатора C1 определяются компромиссом между необходимым коэффициентом усиления схемы и величиной вносимой ею задержки сигнала.

С целью определения влияния характеристик блока прогноза на параметры всего преобразователя был проведён подробный анализ его частотных свойств. При

исследовании амплитудно-частотной характеристики блока прогноза было установлено, что график АЧХ является линейным в пределах полосы пропускания (более 25 МГц).

С целью исследования реальных параметров блока прогноза были разработаны электрическая принципиальная схема тестового модуля и его топология.

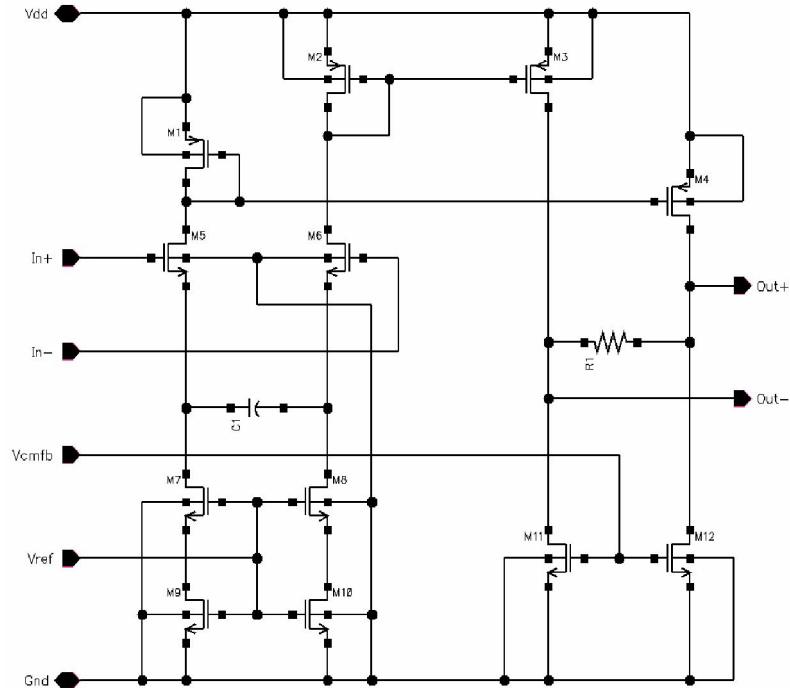


Рис. 5

Электрическая принципиальная схема дифференциатора (схема синфазной обратной связи не показана)

Результаты моделирования схемы АЦП

С целью проведения более подробного анализа свойств предлагаемого АЦП исследование его модели было проведено в два этапа:

- оценка быстродействия АЦП в среде AMS Designer;
- анализ в среде Analog Design Environment динамических параметров, а именно: динамического диапазона по наибольшей гармонике искажений (SFDR), отношения сигнал-шум плюс гармонические искажения (SNDR) и эффективного количества бит (ENOB).

Оценка быстродействия АЦП

Анализ временных параметров модели 14-разрядного преобразователя проводился при максимальном динамическом диапазоне входного сигнала равном 0,8 В. На вход АЦП подавалось модулированное синусоидальное напряжение с амплитудой 0,25 В, несущая частота которого равнялась 20 МГц, а модулирующая частота составляла 1 МГц. В результате временного анализа преобразователя было установлено, что формирование аналогового «грубого» прогноза сигнала происходит в течение 8,85 нс. Таким образом, суммарная задержка блоков АЦП, расположенных перед конвейерным каскадом, не превышает 10 нс, что позволяет достичь требуемой частоты преобразователя в 100 МГц.

В качестве 8-разрядного АЦП использовалась функциональная модель псевдопараллельного преобразователя, построенного по архитектуре с аналоговой сверткой (folding) [9-10]. В качестве 8-разрядного ЦАП использовалась модель преобразователя на источниках тока [11].

Анализ частотных свойств

Частотный анализ 14-разрядной модели преобразователя проводился при разных частотах и амплитудах входного сигнала. К выходу АЦП последовательно присоединялся идеальный 14-разрядный ЦАП, описанный на VerilogA. С выхода ЦАП снимался аналоговый переменный сигнал, который в дальнейшем использовался для анализа с помощью быстрого преобразования Фурье в Cadence Analog Design Environment [12-13].

На рисунке 6 изображён спектр выходного сигнала, полученный при моделировании предлагаемой модели АЦП. Частота входного сигнала составляет 20 МГц, частота выборки – 100 МГц, амплитуда входного сигнала равняется 600 мВ.

Величина $SFDR$, измеренная по спектру на рисунке 6, составляет 67,82 дБ. Значение $SNDR$ равняется 80,45 дБ. Эффективное число бит при этом рассчитывается как:

$$ENOB = \frac{SNDR - 1.76}{6.02} \approx 13.$$

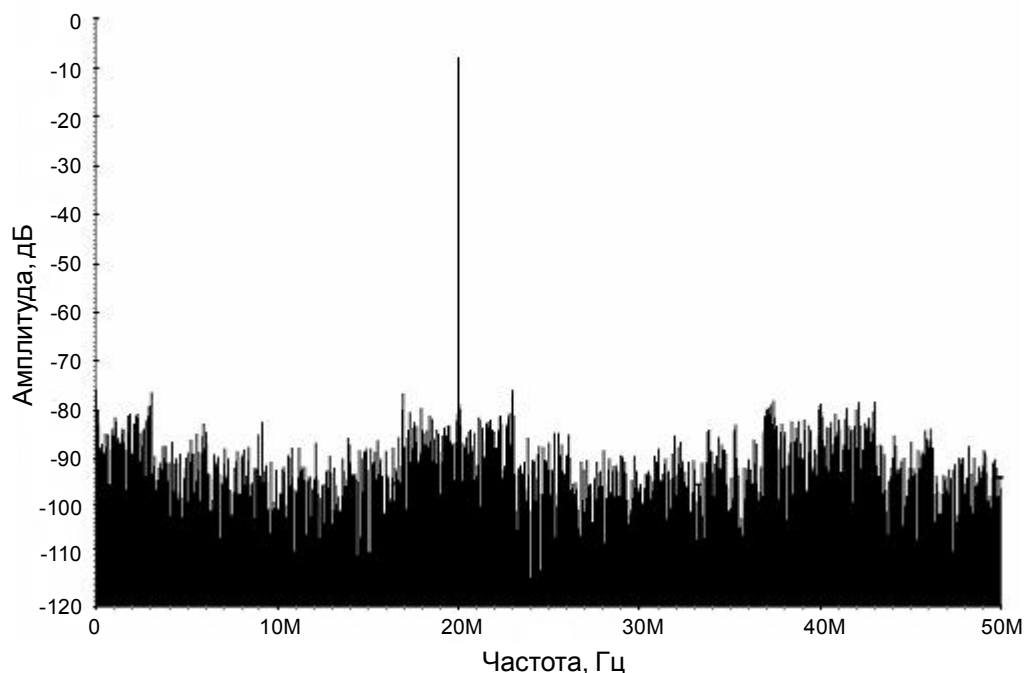


Рис. 6

Спектр выходного сигнала, соответствующий синусоидальному входному сигналу с частотой 20 МГц и амплитудой 600 мВ

Полученные параметры в целом соответствуют характеристикам современных промышленно изготавливаемых микросхем зарубежных аналого-цифровых преобразователей.

Заключение

В результате исследования модели АЦП было установлено, что она обеспечивает корректное преобразование входного аналогового сигнала частотой до 30 МГц и амплитудой до 800 мВ в выходной 14-разрядный код при частоте выборки 100 МГц. Используемая в представленном АЦП архитектура допускает комбинирование с другими известными на данный момент типами преобразователей такими как АЦП с временным перемежением, что потенциально позволяет увеличить тактовую частоту. Дальнейшее увеличение разрешения предложенного АЦП можно осуществить за счёт повышения характеристик составляющих его модулей, например, малоразрядных АЦП и ЦАП.

Исследование амплитудно-частотной характеристики разработанного оригинального блока аналогового прогноза показало, что в пределах полосы пропускания схема имеет достаточно линейную характеристику, вызывая незначительные искажения выходного сигнала. Тем не менее, эти искажения приводят к некоторому снижению значения параметра *SFDR* по сравнению с характеристиками лучших серийно выпускаемых 14-разрядных преобразователей, например, ИМС АЦП типа LTC2262-14 ф. Linear Technology или ADS6144 ф. Texas Instruments. Уровень искажений можно уменьшить путём повышения линейности схемы аналогового прогноза.

В заключение необходимо отметить, что параметры АЦП с аналоговым методом предсказания во многом зависят от характеристик блока прогноза таких как задержка, уровень нелинейных искажений и максимальный динамический диапазон входного сигнала. Улучшая эти параметры с помощью предлагаемой архитектуры, можно создавать ИМС многоразрядных быстродействующих АЦП с использованием технологического процесса с топологическими нормами 0,25 мкм.

Литература

1. U.S. Patent No. 5,266,952 - Wade J. Stone et. al. (1993): Feed forward predictive Analog-to-digital converter.
2. U.S. Patent No. 6,100,834 – Lanny L. Lewyn (2000): Recursive multi-bit ADC with predictor.
3. U.S. Patent No. 6,590,517 B1 - Eric J. Swanson (2003): Analog to digital conversion circuitry including backup conversion circuitry.
4. U.S. Patent No. 6,590,513 B2 – Philip S. Stetson et. al. (2003): Data acquisition system using predictive conversion.
5. United States Patent Application Publication No. US 2006/0158365 - Kent Kernahan et. al. (2006): Predictive analog to digital converters and methods of using.
6. United States Patent Application Publication No. US 2007/0188364 A1 – Bruce A. Fette. (2007): High dynamic range analog to digital converter architecture.
7. U.S. Patent No. 7,609,185 B2 - Kent Kernahan et. al. (2009): Methods of using predictive analog to digital converters.
8. P.P.Vaidyanathan, “The Theory of Linear Prediction”, A Publication in the Morgan & Claypool Publishers, 2008, series “SYNTHESIS LECTURES ON SIGNAL PROCESSING”. Series Editor: Josй Moura, CarnegieMellon University.
9. Seung-Chan Heo, Young-Chan Jang, Sang-Hune Park, Hong-June Park, “An 8-bit 200MS/s CMOS Folding/ Interpolating ADC with a reduced number of preamplifiers using an averaging technique”, Dept. of Electrical Eng., Pohang University of Science and Technology (POSTECH), Korea, hjpark@postech.edu.
10. Koen Uyttenhove, Jan Vandebussche, Erik Lauwers, Georges G. E. Gielen, and Michiel S. J. Steyaert, “Design Techniques and Implementation of an 8-bit 200-MS/s Interpolating/Averaging CMOS A/D Converter”, Journal of Solid-State Circuits, vol. 38, pp. 483-494, March 2003.
11. Chi-Hung Lin and Klaas Bult, “A 10-b, 500-Mample/s CMOS DAC in 0.6 mm²”, Solid-State Circuits, pp. 1948-1958, December 1998.
12. G. Caiulo, F. Maloberti, G. Torelli, “Design of High-Accuracy Video Comparator”, Italtel Sit, Castelletto, Milano, Italy, Dipartimento di Elettronica, Pavia, Italy.
13. Behzad Razavi, Bruce A. Wooly, “Design Techniques for High-Speed, High-Resolution Comparators”, Journal of Solid-State Circuits, vol. 27, № 12, December, 1992.
14. Mikael Gustavsson, J. Jacob Wekner, Nianxiong Nick Tan, “CMOS data converters for analog communications”, Kluwer Academic Publishers, Boston, 2000.