

Архитектура IP-блоков для вычисления преобразований Фурье

Т. А. Деменкова, С. А. Николаев, Е. Ф. Певцов

Представлены подходы к построению систем землеобзора космического базирования. Проведён анализ алгоритмов цифровой обработки сигналов, применяемых при синтезе радиолокационных изображений на примере радиолокационных систем землеобзора с учётом их аппаратурной реализуемости. Выявлены периодически повторяющиеся элементы алгоритмов, реализация которых в виде унифицированных схемных решений представляет практический интерес при аппаратурном решении задач радиолокационного обзора. Рассмотрена архитектура аппаратных блоков быстрого преобразования Фурье для реализации на программируемых логических интегральных схемах нового поколения. Представлен обзор стандартных IP-блоков.

Ключевые слова: алгоритмы цифровой обработки сигналов, синтез радиолокационных изображений, быстрое преобразование Фурье

Architecture of IP blocks for FFT calculation

T. A. Demenkova, S. A. Nikolaev, E. F. Pevtsov

The approaches to construction of ground review systems on space basing are shown. The analysis of digital signal processing algorithms used in synthesis of radiolocation images on example of ground review systems in view of hardware realizability is carried out. The periodically repeating elements of algorithms are revealed which realization as the unified circuit decisions represents practical interest at the hardware decision of tasks of radiolocation review. The architecture of hardware blocks of fast Fourier transformation for realization on VLSI of new generation is considered. The review of standard IP blocks and their classification are submitted. The universal block model FFT not adhered to concrete element base is considered.

Keywords: algorithms of digital signal processing, radiolocation images synthesis, fast Fourier transform

Введение

В настоящее время при построении радиолокационных систем землеобзора традиционным является подход к разделению комплекса радиолокации на бортовой и наземный сегменты. Основным недостатком такого подхода является существенная временная задержка между получением первичных данных и их обработкой, имеющей конечной целью получение и доставку потребителю радиолокационных изображений (РЛИ). Этот недостаток становится особенно критичным для пользователя, нуждающегося в получении информации о текущей, иногда быстро меняющейся, окружающей обстановке. С точки зрения сокращения времени обработки данных для задач, не требующих сверхвысокого пространственного разрешения, логично рассмотреть перспективы аппаратно-программной реализации бортовых систем формирования РЛИ. При максимально возможной производительности решающим фактором успешной реализации таких систем и алгоритмов их работы является

соблюдение очень жёстких требований по энергопотреблению и массо-габаритным характеристикам.

Анализ методов формирования РЛИ показывает, что существенным и наиболее критичным элементом такой аппаратуры и её программного обеспечения служат модули, реализующие алгоритмы быстрого прямого и обратного преобразования Фурье (БПФ и ОБПФ). Перенос части вычислений или всего алгоритма на специализированные аппаратные схемы, реализованные в базе программируемых логических интегральных схем (ПЛИС) или заказных/полузаказных СБИС, позволит при сохранении приемлемой скорости обработки данных радиограмм улучшить наиболее критичные параметры аппаратуры бортового исполнения.

В данной работе сформулированы критерии сравнительного анализа IP-блоков, реализующих алгоритмы преобразования Фурье, проведён анализ решений, которые современный рынок микроэлектроники предоставляет разработчикам для имплементации соответствующим

щих HDL-кодов, и предложено поведенческое описание алгоритма БПФ на языке Verilog, представляющего собой «мягкий IP-блок», код которого может встраиваться на любую аппаратную платформу.

Аппаратная реализация алгоритмов преобразования

Обобщённый алгоритм синтеза РЛИ для различных режимов сканирования представлен на рис. 1. В стандартной последовательности процедур для коррекции миграции дальности путём ЛЧМ-масштабирования по дальности используется модификация алгоритма CSA (Chirp Scaling Algorithm).

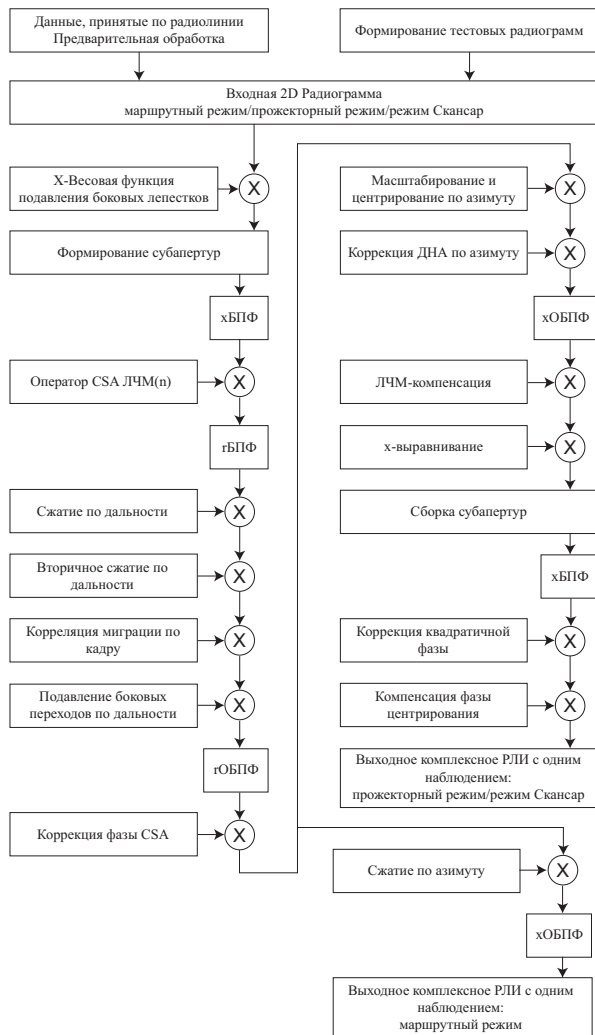


Рис. 1

Алгоритм синтеза РЛИ для различных режимов сканирования

Анализ методов формирования РЛИ приводит к выводу о том, что наиболь-

ший объём вычислительных ресурсов при их реализации занимают процедуры, так или иначе использующие алгоритмы быстрого преобразования Фурье [1, 2]. При этом выбор аппаратной реализации алгоритмов БПФ или ОБПФ основывается на следующих критериях [3, 4, 5]:

– *Размер преобразования* (количество дискретных отсчётов входного сигнала). При реализации общего алгоритма вычисления многоточечного БПФ на основе дискретного преобразования Фурье (ДПФ) с меньшим количеством точек с точки зрения минимизации объёма вычислений удобно брать ДПФ с основанием 2 и 4 (2-х и 4-х точечные ДПФ). Поэтому количество точек отсчёта выбирается по степени двойки. Обычно от 8 до 65536 отсчётов входного сигнала.

– *Тип арифметики*. Вычисления в режиме плавающей точки и фиксированной точки. Вычисления в режиме плавающей точки должны осуществляться в рамках стандарта IEEE754 с одинарной или двойной точностью.

– *Основание дискретного ПФ*. С точки зрения объёма вычислений берутся 2-х или 4-х точечные ДПФ или их комбинация.

– *Способ реализации алгоритма*. Общепринятым является применение алгоритма Кули-Тьюки с прореживанием по частоте или прореживанием по времени. Соответственно порядок выходных отсчётов БПФ представляет собой натуральный или двоично-инверсный набор данных.

– *Порядок округления*. После выполнения каждой операции «бабочка» (элементарный шаг в алгоритме БПФ) вычисляемые данные усекаются или сохраняются в промежуточной памяти и используются для дальнейших вычислений.

– *Способ реализации вычислений*. Поточная архитектура реализует вычисления в потоке по мере поступления входных дискретных отсчётов сигнала, когда выходные отсчёты вычисляются по мере поступления входных отсчётов. В этом случае возможна и целесообразна конвейеризация вычислений (последовательное расположение ДПФ). Такая архитектура требует повышенных аппаратных затрат на реализацию. В отличие от поточной пакетная архитектура требует предварительной загрузки в буферную

память всей последовательности входных дискретных отсчётов сигнала. При этом по мере вычисления освобождающиеся ячейки буферной памяти могут быть использованы для хранения промежуточных и итоговых результатов вычисления выходных отсчётов.

– *Количество используемых блоков комплексного умножения.* В пакетной архитектуре блоков БПФ может быть задействовано несколько аппаратных блоков умножения (умножителей).

– *Тип используемой памяти.* При небольшом количестве входных отсчётов допускается использование распределённой памяти, реализуемой применительно к FPGA на основе LUT. При большом количестве входных отсчётов необходимо использовать блочную память.

Возможные варианты архитектур вычислений ПФ схематически представлены на рис. 2 и рис. 3. Для варианта поточной конвейеризированной архитектуры входные отсчёты должны поступать в натуральном порядке. Выходные отсчёты могут поступать как в натуральном (путём выходной перестановки), так и в двоично-инверсном порядке. Количество групп двойных вычислений ДПФ по основанию 2 соответствует степени двойки входных отсчётов. Память используется для временного хранения данных при вычислении «бабочек» и поворачивающих коэффициентов.

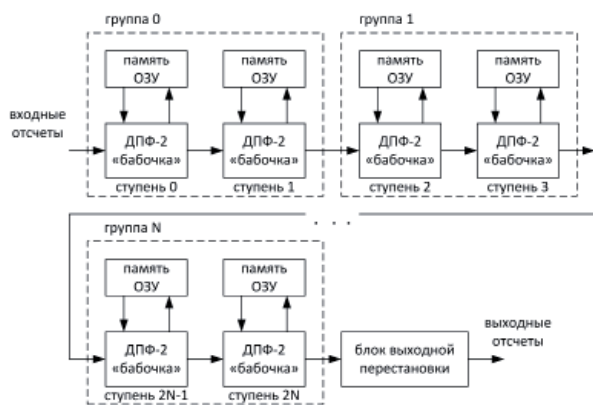


Рис. 2

Поточная конвейеризированная архитектура вычислений БПФ

Один из вариантов пакетной архитектуры, осуществляющей вычисления ДПФ по основанию 4, показан на рис. 3.

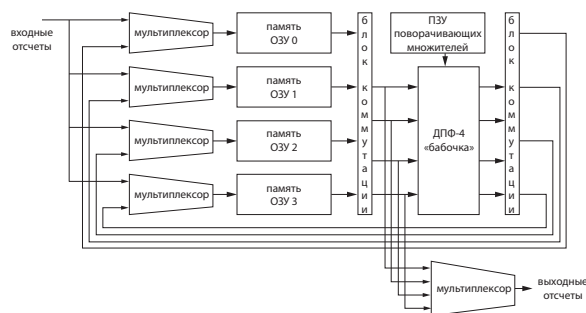


Рис. 3

Вариант реализации БПФ на основе пакетной обработки данных

Входные отсчёты должны быть предварительно загружены в память. В процессе обработки они заменяются промежуточными результатами вычисления и окончательным результатом. Блоки коммутации отвечают за правильную подачу входных отсчётов и промежуточных результатов на плечи «бабочек», а также за формирование на выходе натурального или двоично-инверсного порядка выходных отсчётов. Постоянное запоминающее устройство (ПЗУ) предназначено для хранения поворачивающих множителей для вычисления ДПФ по основанию 4.

Другой способ реализации пакетной архитектуры отличается от приведённой на рис. 3 тем, что в основе вычисления лежит ДПФ по основанию 2. Применение ДПФ по основанию 2 позволяет существенно сократить объём используемых для реализации БПФ аппаратных ресурсов (за исключением объёма оперативного запоминающего устройства (ОЗУ)), однако при этом снижается общая производительность вычислений за счёт увеличения количества итераций.

IP-блоки для вычислений БПФ

Altera FFT MegaCore Function представляет собой высокопроизводительный параметризованный блок вычисления прямого и обратного БПФ, поставляемый компанией Altera в собственной среде разработки Quartus II. Он может широко использоваться в проектах цифровых устройств на основе различных семейств ПЛИС Altera, включая Arria GX/II GX/II GZ/V/V GZ, Cyclone I/II/III/III LS/IV/V, Stratix I/II/II GX/III/IV GT/IV GX-E/V/GX, а также полужаказных микросхем HardCopy (II/III/IV E/IV GX) [6].

IP-блок реализует два основных типа аппаратной архитектуры вычисления БПФ:

1) *Архитектура с фиксированным размером преобразования.* Данная архитектура реализует алгоритм Кули-Тьюки с прореживанием по частоте. При вычислениях используется последовательное вычисление ДПФ с основанием либо 2, либо 4. Количество отсчётов входного дискретного сигнала равняется 2^m , где $6 < m < 16$. Вычисления происходят с представлением данных в формате с плавающей запятой. Выходные отсчёты следуют в натуральном порядке. Для данной архитектуры доступна конфигурация режима ввода/вывода данных (поточный, очередь с буферизацией, очередь без буферизации). Применение данной архитектуры позволяет осуществлять одновременную обработку четырёх отсчётов дискретного сигнала. Этот вариант архитектуры широко использует возможности элементной базы компании Altera, применяются встроенные в ПЛИС технологические примитивы (блочная память, блоки DSP, память TriMatrix для семейства Stratix). Частота работы блока для некоторых семейств ПЛИС Altera достигает 300 МГц.

2) *Переменная потоковая архитектура.* Данный тип архитектуры реализует либо метод вычисления по основанию 2 с обратной связью единичной задержки (данные представлены в формате с фиксированной запятой), либо метод, основанный на смешанном использовании ДПФ по основанию 2 и 4 (используется представление данных в формате с плавающей запятой, одинарной точности). Поддерживается разрядность данных от 8 до 32 бит. Количество точек отсчёта входного дискретного сигнала равняется 2^m , где $3 < m < 18$. Данный тип архитектуры позволяет получить выходные отсчёты либо в натуральном, либо в бит-реверсивном порядке. Преимуществом использования данной архитектуры является пониженные требования к объёму памяти для хранения промежуточных результатов вычислений. Основные особенности рассматриваемого блока: 1) наличие битово-точных моделей MATLAB; 2) поддержка стандарта Avalon-ST интерфейса ввода/вывода шины; 3) генерация тестового окружения с учётом выбранных параметров IP-блока; 4) наличие мо-

делей для функциональной симуляции в САПР с использованием языков VHDL и Verilog.

CoreFFT Fast Fourier Transform представляет собой оптимизированный для применения на ПЛИС параметризованный IP-блок вычисления прямого и обратного БПФ, поставляемый компанией Actel [7]. Данный IP-блок может использоваться в САПР Actel Libero IDE, Synopsys Synplicity/Design Compiler/FPGA Compiler и др. Блок предназначен для использования в проектах на основе различных семейств устройств Actel (ProASIC 3/E/Plus, Axcelerator, RTAX-5). Фирма Actel предоставляет RTL модели IP-блока и тестового окружения на поведенческом уровне.

Блоки Actel реализуют вычисление прямого и обратного БПФ с количеством входных отсчётов дискретного сигнала 32/64/128/256/512/1024. Применяется оптимизированный для использования на ПЛИС Actel метод вычисления Кули-Тьюки с прореживанием по времени с использованием ДПФ по основанию 2. Для хранения поворачивающих множителей используется встроенная в ПЛИС блочная память. Разрядность входных и выходных отсчётов дискретной последовательности и поворачивающих множителей конфигурируема (8/16 бит). Входные и выходные отсчёты последовательности следуют в натуральном порядке. Поддерживается режим ввода/вывода данных очередью. Вычисления происходят в формате с фиксированной запятой в двоичном дополнительном коде. При этом используется способ обработки данных, когда входные и выходные отсчёты дискретного сигнала хранятся во встроенных буферных блоках ОЗУ, при этом входные буферы ОЗУ также используются для хранения промежуточных результатов вычисления (так называемая архитектура «пинг-понг»). Поворачивающие коэффициенты хранятся в отдельном блоке памяти на основе LUT ПЛИС. Основой блока вычисления БПФ служит модуль вычисления ДПФ по основанию 2. Использование двух входных буферов позволяет осуществлять одновременную загрузку входных отсчётов/сохранение промежуточных результатов в память и выполнение операции ДПФ по основанию 2 (буферы каждый такт меня-

ются местами), что увеличивает быстродействие блока. По мере вычисления результирующие выходные отсчёты дискретного сигнала появляются в битово-реверсивном порядке, после чего записываются в буфер ОЗУ выходных данных уже в натуральном порядке.

Фирма Lattice представляет IP-блок FFT Compiler [8], предназначенный для вычисления прямого и обратного БПФ, реализующий две архитектуры: быстродействующую поточную архитектуру и экономичную архитектуру с вычислением очередями.

Данный IP-блок оптимизирован для эффективного использования логических элементов встроенной блочной памяти ПЛИС фирмы Lattice и может использоваться в проектах, основанных на следующих семействах устройств: LatticeECP3, LatticeECP2M, LatticeECP2, LatticeECP/EC, LatticeXP2. Поддерживается различное количество входных и выходных отсчётов дискретного сигнала: 64/128/256/512/1024/2048/4096/8192/16384 с разрядностью данных от 8 до 24 бит. Разрядность поворачивающих множителей конфигурируется и может составить от 8 до 24 бит. Натуральный или бит-реверсивный порядок следования входных отсчётов дискретной последовательности и порядок выходных отсчётов задаётся пользователем. Частота работы блока на некоторых семействах ПЛИС фирмы Lattice составляет до 285 МГц.

IP-блок FC 100 компании Sundance Microprocessor Technology Limited [9] предназначен для высокопроизводительного вычисления прямого и обратного БПФ на базе ПЛИС Xilinx-семейств VirtexII, Virtex II/Pro, Spartan3, Virtex4, Virtex5. Основой блока вычисления БПФ служит модуль вычисления ДПФ по основанию 2 (так называемая «бабочка»). Количество дискретных точек отсчёта преобразования: от 32 до 2^m , где $m = 6-26$. Входные и выходные отсчёты следуют в натуральном порядке. Все вычисления происходят в формате с плавающей запятой, в соответствии со стандартом IEEE-754, или в формате с фиксированной запятой. Основной особенностью данного блока является конфигурирование точности и скорости вычисления, задание размера преобразования без необходимости перепрограммирования ПЛИС, а также воз-

можность работы с внешней памятью, подключённой к ПЛИС, например ZBT SRAM, QDR2 SRAM or DDR2 SDRAM. Частота работы блока достигает 250 МГц (Virtex 5). Блок поставляется с C/C++ моделью и тестовым окружением на языках Verilog или VHDL.

Блоки IP-XLFFT фирмы Innovative Integration [10] также представляют собой устройства, аппаратно реализующие вычисления БПФ и ОБПФ на базе ПЛИС Xilinx-семейств Virtex5, Virtex6. Применена конвейерная архитектура. Количество обрабатываемых дискретных отсчётов сигнала составляет от 64 тыс. до 1 млн. Разрядность входных комплексных отсчётов дискретной последовательности составляет 16 бит, выходных отсчётов – 24 бита. Входные и выходные отсчёты следуют в натуральном порядке. Частота работы блока достигает 300 МГц (Virtex6). Блок поставляется с MATLAB/Simulink моделью и тестовым окружением на языках Verilog или VHDL.

Сравнительные характеристики IP-блоков БПФ различных производителей приведены табл. 1.

В качестве отечественной элементной базы, на основе которой может быть реализован блок БПФ, возможно рассмотрение базовых матричных кристаллов (БМК) серий 5521, 5528, 5529 разработки НПК «Технологический центр» и ОАО «НИИМЭ и Микрон», основные параметры которых представлены в табл. 2 [11]. Данных о реализации готовых IP-блоков БПФ на базе отечественных БМК авторами не найдено.

Реализация блока БПФ в базисе отечественных ПЛИС весьма ограничена в связи с недостаточной ёмкостью последних (наиболее ёмкая отечественная ПЛИС 5576XC4T разработки КТЦ «Электроника» предоставляет объём 200 тыс. эквивалентных логических вентиляей).

Следует отметить, что, несмотря на разнообразие аппаратных решений в виде готовых «жёстких» IP-блоков для реализации преобразований Фурье, представленных в настоящее время на рынке изделий микроэлектроники, перед разработчиком конечного устройства часто встаёт ряд проблем. Среди таких проблем можно выделить, в частности, следующие:

Таблица 1

Сравнительные характеристики IP-блоков БПФ различных производителей

IP-блок	Megacore Function	CoreFFT	FFT Compiler	FC100	IP-XLFFT
Целевое семейство устройств	Altera: Arria GX/II GX/II GZ/IV/V GZ, Cyclone I/II/III/III LS/IV/V, Stratix I/II/II GX/III/IV GT/IV GX-E/V/GX, HardCopy (II/III/IV E/IV GX)	Actel: ProASIC 3/E/Plus, Axcelerator, RTAX-5	Lattice: LatticeECP3, LatticeECP2M, LatticeECP2, LatticeECP/EC, LatticeXP2	Xilinx: Virtex II, Virtex II/Pro, Spartan 3, Virtex 4, Virtex 5	Xilinx: Virtex 5, Virtex 6
Архитектура	Пакетная на основе ДПФ-4 (Кули-Тьюки с прореживанием по частоте) и конвейерная архитектуры	Пакетная, метод Пинг-Понг	Конвейерная, пакетная	Конвейерная	Конвейерная
Размер преобразования	2^m , где $3 < m < 18$	2^m , где $5 < m < 10$	2^m , где $6 < m < 13$	2^m , где $5 < m < 26$	2^m , где $16 < m < 20$
Тип арифметики	Фиксированная запятая, плавающая запятая (IEEE754)	Фиксированная запятая	Фиксированная запятая	Фиксированная запятая, плавающая запятая (IEEE754)	Фиксированная запятая
Порядок следования выходных отсчётов	Натуральный, бит-реверсивный	Натуральный	Натуральный, бит-реверсивный	Натуральный	Натуральный
Возможность конфигурации блока	Да, конфигурирование модели до синтеза	Да, конфигурирование модели до синтеза	Да, конфигурирование модели до синтеза	Да, синтезированного блока	Да, конфигурирование модели до синтеза
Частота работы	До 300 МГц	До 250 МГц	До 285 МГц	До 250 МГц	До 300 МГц

1) готовые аппаратные блоки предоставляются на коммерческой основе и в закрытом виде, что исключает их модификацию под нужды решения конкретной задачи;

2) привязка аппаратных блоков к конкретной элементной базе конкретного производителя затрудняет или исключает возможность миграции проекта, особенно если перед разработчиком стоит задача конечной реализации, например, в виде отечественного БМК;

3) отсутствует согласованность архитектуры готового блока с общей архитектурой проекта, наиболее простым примером чего может являться различие в используемых интерфейсах (шинах передачи данных), что требует дополнительной разработки мостов сопряжения, увеличивающих объём используемых ресурсов элементной базы и отрицательно влияющих на общее быстродействие устройства;

4) неполное соответствие технических характеристик нуждам решаемой

задачи (быстродействие, точность вычисления и т.д.).

Таким образом, решение задачи создания универсального «мягкого» IP-модуля БПФ, представляющего собой переносимый на произвольную аппаратную платформу HDL-код поведенческого описания, остаётся по-прежнему актуальной.

Пример реализации алгоритма БПФ на Verilog

Среди основных недостатков рассмотренных выше блоков БПФ можно выделить их жёсткую привязку к конкретной элементной базе, что делает невозможным их реализацию, например, в объёме отечественной БМК. В то же время задача замещения импортной элементной базы в отечественных разработках является весьма актуальной. Исходя из анализа обобщённого алгоритма синтеза РЛИ (рис. 1), в данной работе решена задача создания универсального блока вычисления БПФ, не привязанного к конкретной элементной базе, что даёт возможность

Таблица 2

Сравнительные характеристики отечественных БМК различных серий

Серия БМК	5521	5528	5529
Объём (тыс. вентиляей)	До 1000	1000	До 1700
Надёжность	Надёжность не менее 100 000 часов	Надёжность не менее 50 000 часов	Надёжность не менее 100 000 часов
Технология	КМОП, 0,18 мкм, кольцевые транзисторы на объёмном кремнии	КМОП, 0,18 мкм, кольцевые транзисторы на объёмном кремнии	КМОП 0,25 мкм, КНИ
Напряжение питания	2.7 – 3.6 В	Раздельное питание: периферийная область 3.0 В, ядро БМК – 1.8 В	2.7 – 3.6 В
Технологические примитивы	Встроенные блоки ОЗУ и ПЗУ	Встроенные блоки ОЗУ и ПЗУ	Встроенные блоки ОЗУ и ПЗУ
Дополнительные возможности	Категория качества «ВП», оригинальные средства топологического проектирования и прототипирования	Категория качества «ВП», оригинальные средства топологического проектирования и прототипирования	Категория качества «ВП», оригинальные средства топологического проектирования и прототипирования, библиотека функциональных ячеек совместима с библиотекой функциональных ячеек 5503 и 5507

его применения в отечественных разработках.

При разработке блока применена пакетная архитектура на основе вычисления ДПФ по основанию 4, блок-схема которого приведена выше (рис. 2). На основе рассмотренной пакетной архитектуры был создан блок БПФ с фиксированной точкой для 2^m , где $4 < m < 16$ дискретных отсчётов, унифицированный для применения на различной элементной базе (ПЛИС различных производителей, БМК). Блок был специфицирован на языке описания аппаратуры Verilog, одном из наиболее распространённых языков описания аппаратуры.

В процессе разработки широко использовались механизмы параметризации модели блока с целью обеспечения унификации для расширения спектра проектов цифровых устройств, в которых он может быть применён. Моделирование и верификация блока произведены в САПР ModelSim компании Mentor Graphics.

Заключение

Представленные в работе результаты позволяют сделать вывод, что перенос части вычислений или всего алгоритма на специализированные аппаратные схемы, реализованные в базе ПЛИС или

заказных/полузаказных СБИС, позволит при сохранении приемлемой скорости обработки данных полученных радиограмм улучшить наиболее критичные параметры аппаратуры бортового исполнения.

Проведённый в рамках данной статьи анализ примеров покупных IP-блоков БПФ позволяет сделать вывод об актуальности задачи самостоятельной реализации собственных схемных решений (аппаратных блоков), а также их унификации (в том числе и под элементную базу различных производителей) в целях расширения спектра задач цифровой обработки сигналов, в которых они могут быть применены.

В данной работе также представлена унифицированная модель блока БПФ, которая может быть реализована на элементной базе различных производителей. Данный блок может быть полезен при решении задач импортозамещения в отечественных разработках.

Литература

1. Радиолокационные системы землеобзора космического базирования / Под ред. В. С. Вербы. – М.: Радиотехника, 2010.
2. Деменкова Т. А., Николаев С. А. Архитектура аппаратных блоков БПФ. Современные информационные технологии в управлении и образовании: сборник научных трудов. В 3 ч. Ч. 2. – М.: ФГУП НИИ «Восход», 2013. – С. 46-52.

3. Ричард Лайнос Цифровая обработка сигналов: [пер. с англ.]. – 2-е изд. – М.: ООО «Бином-Пресс», 2006. – 656 с.

4. Блейхут Р. Быстрые алгоритмы цифровой обработки сигналов: [пер. с англ.]. – М.: «Мир», 1989. – 448 с.

5. Shousheng He and Mats Torkelson «A New Approach to Pipeline FFT Processor». – ISSN 1063-7133/96 C 1996 IEEE.

6. Altera FFT MegaCore Function. User Guide. URL: http://www.altera.com/literature/ug/ug_fft.pdf (дата обращения: 29.07.2014).

7. ActelCoreFFT Fast Fourier Transform. URL: http://www.actel.com/ipdocs/CoreFFT_DS.pdf (дата обращения: 29.07.2014).

8. Lattice FFT Compiler IP Core User's Guide. URL: http://www.latticesemi.com/~media/Documents/UserManuals/EI/IPUG54FFTCompilerIPCoreUsersGuide.PDF?document_id=28236 (дата обращения: 29.07.2014).

9. Sundance Multiprocessor Technology Limited. User Manual for FC 100. IEEE-754 Floating-point FPGA IP Core. URL: http://www.sundance.com/Docs/FC100_User_Manual.pdf (дата обращения: 29.07.2014).

10. IP-XLFF Datasheet v1.1 URL: <http://www.gbm.de/fileadmin/Produkte/Datenblatt/IP-XLFFT.pdf> (дата обращения: 29.07.2014).

11. НИИК Технологический центр. Базовые матричные кристаллы. URL: <http://www.asic.ru/> (дата обращения: 24.11.2014).

References

1. Radiolokatsionnye sistemy zemleobzora kosmicheskogo bazirovaniya [Radar systems of land review space-based]. Moscow, Radiotekhnika Publ., 2010.

2. Demenkova T. A., Nikolaev S. A. *Arkhitektura apparatnykh blokov BPF. Sovremennye informatsionnye tekhnologii v upravlenii i obrazovanii. Ch. 2* [Architecture FFT hardware units. Modern information technology in management and education. Part 2]. Moscow, Publ. FGUP NII «Voskhod», 2013, pp. 46-52.

3. Richard Lainos *Tsifrovaya obrabotka signalov* [Digital Signal Processing]. Moscow, Binom-Press Publ., 2006, 656 p.

4. Bleihut R. *Bystrye algoritmy tsifrovoy obrabotki signalov* [Fast algorithms for digital signal processing]. Moscow, Mir Publ., 1989, 448 p.

5. Shousheng He and Mats Torkelson «A New Approach to Pipeline FFT Processor». – ISSN 1063-7133/96 C 1996 IEEE.

6. Altera FFT MegaCore Function. User Guide. URL: http://www.altera.com/literature/ug/ug_fft.pdf (accessed 29 July 2014).

7. ActelCoreFFT Fast Fourier Transform. URL: http://www.actel.com/ipdocs/CoreFFT_DS.pdf (accessed 29 July 2014).

8. Lattice FFT Compiler IP Core User's Guide. URL: http://www.latticesemi.com/~media/Documents/UserManuals/EI/IPUG54FFTCompilerIPCoreUsersGuide.PDF?document_id=28236 (accessed 29 July 2014).

9. Sundance Multiprocessor Technology Limited. User Manual for FC 100. IEEE-754 Floating-point FPGA IP Core. URL: http://www.sundance.com/Docs/FC100_User_Manual.pdf (accessed 29 July 2014).

10. IP-XLFF Datasheet v1.1 URL: <http://www.gbm.de/fileadmin/Produkte/Datenblatt/IP-XLFFT.pdf> (accessed 29 July 2014).

11. SPC Technology Center. Gate array URL: <http://www.asic.ru/> (accessed 24 November 2014).