УДК 004.414.23

Оптимизация построения асинхронного сумматора

А. А. Старых, А. В. Ковалев

Рассматриваются сумматоры комбинационного и асинхронного типов. Приведены результаты моделирования указанных устройств и сравнения их рабочих характеристик. Рассмотрены пути оптимизации построения асинхронного сумматора.
Ключевые слова: *асинхронный сумматор, С-элемент Мюллера, рассеиваемая мощность, быстродействие схемы*

The development optimization of asynchronous adders

A. A. Starykh, A. V. Kovalev

Adders of Raman and asynchronous types are considered. Simulation results of said devices and comparing their performance are given. The ways to optimize of the asynchronous adder construction are given.
Keywords: *asynchronous adder, C-element Muller, power dissipation, speed of the circuit*

Введение

На сегодняшний день разработчики, кроме обеспечения портативных цифровых устройств многофункциональностью, должны сделать их достаточно экономичными с точки зрения потребления энергии, работоспособными в широком диапазоне операционных и технологических факторов [1]. Это объясняет всё возрастающий интерес полупроводниковой индустрии к асинхронным схемам. Нашумевшие в 1952 году ILLIAC или в 1962 году ILLIAC II машины были полностью асинхронными и уже тогда имели ряд преимуществ над своими полностью синхронными аналогами. Проекты Atlas, MU-5, асинхронный микропроцессор Caltech и AMULET продолжали стройную цепь развивающейся принципиально новой ветви устройств, имеющей как свои преимущества, так и недостатки [2]. Это направление ударными темпами продолжает развиваться и по сей день.

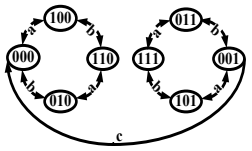
Многие разработчики цифровых устройств уже слышали об асинхронных вычислительных системах. В самом начале своего существования они применялись как малые подсхемы периферийного контроля в больших системах. Это были счётчики, таймеры, контроллеры управления, контроллеры шины, FIFO, а также интерфейсы (RS-232, SCSI, UART) [2]. Они органично вписывались в целостную систему и выполняли свой заданный набор функций.

Отличительная черта синхронных схем заключена в двух моментах: все сигналы в них являются двоичными и все компоненты таких схем используют общее дискретное представление о времени благодаря тактовому сигналу. Асинхронные же схемы обладают принципиальными отличиями. У них нет общего дискретного тактирования и, к тому же, сигналы в них могут быть многопроводными. В данной статье предлагается подход к оптимальному построению одного из основных элементов цифровой схемотехники – сумматора. Данный сумматор реализуется в асинхронном виде, в котором использованы двухпроводные сигналы, поскольку такая реализация является наиболее практичной и выгодной [3].

С-элемент Мюллера

Цель ликвидировать тактовый сигнал в цифровых логических схемах впервые преследовалась Д. И. Мюллером в конце 1950-х годов [4, 5]. Так появился С-элемент Мюллера, названный в честь своего изобретателя.

Диаграмма состояний и таблица истинности С-элемента Мюллера представлена на рис. 1.



A	B	$C = Q^{n+1}$
0	0	0
0	1	Q^n
1	0	Q^n
1	1	1

(а) (б)

Рис. 1

Диаграмма состояний (а) и таблица истинности (б) С-элемента [4]

Согласно таблице истинности С-элемент представляет собой асинхронную защёлку, которая при значениях входных переменных A и B равных 01 или 10, сохраняет предыдущее состояние.

Поведение выхода С, принимая во внимание таблицу истинности, можно записать в виде суммы минтермов:

$$Q^{n+1} = AB + Q^n (A\bar{B} + B\bar{A}) \qquad (1)$$

При $Q^n = 0$ *С*-элемент выполняет логическую функцию «И», поэтому перед выполнением логического умножения триггер необходимо сбросить в ноль. С учётом уравнения (1) схему С-элемента можно представить в следующем виде (рис. 2).

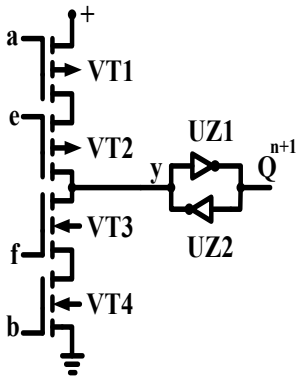


Рис. 2
Схема С-элемента Мюллера

На схеме e, f – сигналы, которые надо определить, чтобы выполнялась таблица истинности. Элементы UZ1 и UZ2 образуют защёлку и выполнены на КМОП-инверторах. Для всех комбинаций сигналов A, B с учётом таблицы истинности определим сигналы e, f и занесём в табл. 1.

Таблица 1
Состояния входов С-элемента

A	B	E	F	Q^{n+1}	y
0	0	0	x	0	1
0	1	1	0	Q^n	z
1	0	x	x	Q^n	z
1	1	x	1	1	0

В табл. 1 символом «x» обозначены произвольные состояния входов.

Составим карты входов E и F из табл. 1 на карты Карно (рис. 3) [6].

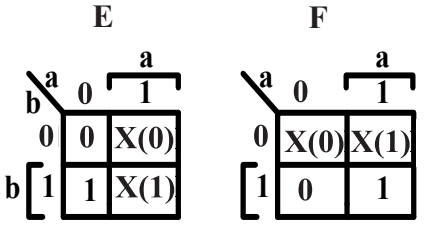
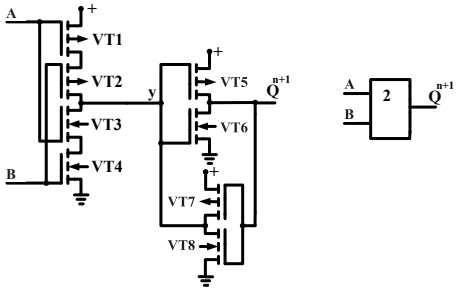


Рис. 3
Карты Карно для разрядов E и F

Упрощая по картам Карно булевы функции сигналов E и F, найдём

E = B, F = A.

На основе приведённых рассуждений схема С-элемента на КМОП-транзисторах будет выглядеть как показано на рис. 4.



(а) (б)

Рис. 4
Электрическая схема С-элемента (а) и её условное обозначение (б)

Аналогичный результат получится, если вход A соединить с затворами транзисторов VT1, VT4, а вход B – с затворами транзисторов VT2, VT3 (С-элемент, реализованный Ван Беркелем [7]). Вообще существуют несколько реализаций С-элемента Мюллера. Самые распространённые из них – это предложенная Ван Беркелем реализация и стандартная, предложенная Сазерлендом [8]. Каждая из них имеет свои собственные характеристики, но схема Ван Беркеля имеет лучшие показатели по критерию быстродействия и эффективности [4].

Именно поэтому реализация С-элемента, показанная на рис. 4, была выбрана за базовый С-элемент при моделировании рабочих характеристик асинхронного сумматора в данной работе.

Асинхронные и комбинационные сумматоры

На рис. 5б показан полусумматор асинхронного типа, с двухпроводной реализацией, представленный фирмой Theseus Logic и использующий NULL Convention Logic (NCL) [3]. В источнике [3] приводится пояснение и доказательство того, что NCL-логика является более совершенной и символически полной в сравнении с булевой логикой.

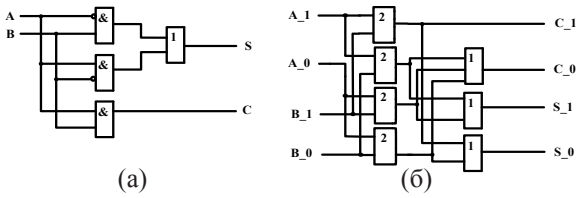


Рис. 5

Схема комбинационного (а) и асинхронного (б) полусумматоров

Там же показано, почему двухпроводная реализация схемы является наиболее выгодной с точки зрения практической реализации. Принцип её работы такой: если на вход A пришла логическая 1 (0), то на A_1 будет 1 (0), а на A_0 будет 0 (1). Такая асинхронная схема имеет свою особенность: после подачи на входы логических значений, информация на входе обнуляется, т.е. приходит сигнал NULL («нет данных»). Переход от NULL к значению данных знаменует начало действия. Переход от значения данных к NULL означает конец действия.

При движении в иерархической структуре «снизу вверх», покажем, как будет выглядеть асинхронный сумматор на элементах Мюллера (рис. 6).

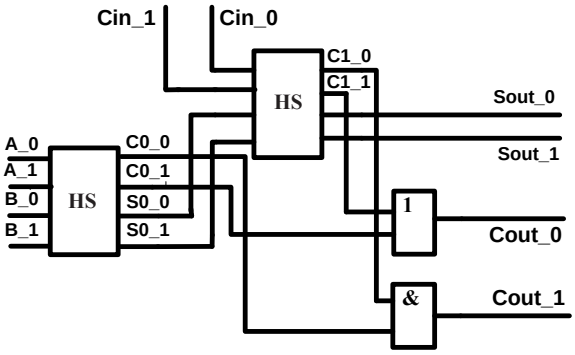


Рис. 6

Полный сумматор на элементах Мюллера

Он состоит из двух асинхронных полусумматоров и логических элементов «И» и «ИЛИ». Входными сигналами первого полусумматора являются значения A (A_0, A_1) и B (B_0, B_1). На выходе получается их сумма S (S0_0, S0_1) и перенос C (C0_0, C0_1). Входными сигналами второго полусумматора являются входной перенос Cin (Cin_0, Cin_1) и сумма S (S0_0, S0_1) выхода первого полусумматора. На его выходе образуется сумма Sout (Sout_0, Sout_1) и перенос C (C1_0, C1_1). Выходной перенос формируется элементами «ИЛИ» и «И»: Cout_0 = C0_1 + C1_1, а Cout_1= neC0_0 * neC1_0 = ne (C0_0 + C1_0).

Исследование полных сумматоров и 16-разрядных сумматоров проводилось на основе SPICE-моделирования схем в программе OrCad 16.6. Интервал поступления сигналов на вход выбран равным 10 нс. При моделировании асинхронных и комбинационных сумматоров использовалась модель МОП-транзисторов BSIM3 при технологии 180 нм [9-11]. Топологические размеры МОП-транзисторов в схеме Мюллера выбраны такими, чтобы входные транзисторы могли переключать защёлку с минимальным временем задержки, не потребляя при этом чрезмерно больших мощностей. Для этого транзисторы, на которые подаются входные сигналы (и все транзисторы в комбинационных схемах), имеют ширину затвора 2,0 мкм и 1,2 мкм (для p- и n-канальных транзисторов соответственно). Транзисторы инвертора, включённые в цепь прямой передачи защёлки, имеют ширины затвора 0,8 мкм (p-канальный транзистор) и 0,45 мкм (n-канальный транзистор). Транзисторы инвертора, включённые в цепь положительной обратной связи защёлки, имеют ширины затвора равные 0,53 мкм (p-канальный транзистор) и 0,3 мкм (n-канальный транзистор).

В табл. 2 приведены параметры асинхронного, комбинационного (выполнен по рис. 5а) и оптимизированного (выполнен по рис. 7) полных сумматоров.

В оптимизированном сумматоре первый полусумматор выполнен на элементах Мюллера, а второй полусумматор и формирователь переноса – на элементах 2И-НЕ.

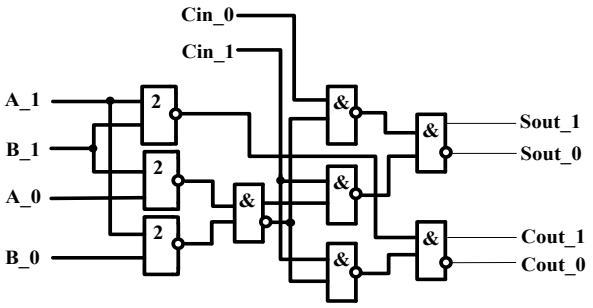


Рис. 7

Полный оптимизированный сумматор

Несмотря на то, что полный асинхронный сумматор проигрывает комбинационным сумматорам по всем параметрам, в схемах многоразрядных сумматоров при случайном распределении складываемых чисел в асинхронном сумматоре снижается потребляемая мощность, так как элементы Мюллера, имея Z-состояние, при некоторых значениях складываемых сигналов не переключаются и поэтому не потребляют энергию. Это преимущество асинхронных сумматоров используется в оптимизированной схеме, где первый полусумматор на элементах Мюллера экономит энергию, а второй (на элементах 2И-НЕ) — повышает быстродействие.

На основе одноразрядных полных сумматоров исследованы 16-и разрядные сумматоры (в младшем разряде использован полусумматор). Время задержки выходного сигнала в сильной степени зависит от выбора складываемых чисел. Поэтому был выбран наихудший случай, когда получается максимальное время задержки между выходным переносом и сигналом в младшем разряде. Для этого складывались числа FFFF + 1 = 10000. Перенос при сложении таких чисел формируется во втором полусумматоре, поэтому время распространения сигнала максимально.

Параметры исследованных шестнадцатиразрядных асинхронного, комбинационного и оптимизированного сумматоров приведены в табл. 3.

Заключение

Разработка оптимизированного асинхронного сумматора дала возможность получить от нового устройства улучшенные рабочие характеристики. Из полученных результатов мы видим, что новая схема превосходит асинхронный сумматор, реализованный на NULL Convention Logic, по рассеиваемой мощности в 1,6 раза; по задержке распространения – в 2 раза; по работе переключения – в 3,4 раза. Оптимизированная схема также имеет преимущества и над комбинационным сумматором, превосходя его по всем параметрам. Эти результаты стали возможными благодаря тому, что оптимизированная схема сумматора вобрала в себя свойства асинхронного и комбинационного сумматоров, а именно: экономию энергии в асинхронном первом полусумматоре благодаря элементам Мюллера, имеющим высокоомное состояние Z (из-за чего при некоторых значениях складываемых сигналов они не переключаются и не потребляют энергию) и высокое быстродействие комбинационных элементов, из которых состоит второй полусумматор, где и происходит формирование переноса. Полученные результаты показывают возможность получения высоких параме-

Таблица 2

Параметры полных сумматоров

Параметры \ Элементы	Асинхронный сумматор фирмы Theseus Logic на элементе Мюллера	Комбинационный сумматор	Оптимизированная схема сумматора с элементами Мюллера и элементами 2И-НЕ
Рассеиваемая мощность, P, мВт	0,17	0,14	0,067
Кол-во транзисторов в схеме, N, шт.	116	62	52
Задержка распространения, $\tau_{з.р}$, нс	0,31	0,27	0,24
Работа переключения, A, пДж	0,053	0,037	0,016

Таблица 3

Параметры шестнадцатиразрядных сумматоров

Элементы / Параметры	Асинхронный сумматор	Комбинационный сумматор	Оптимизированная схема сумматора
Рассеиваемая мощность, P, мВт	2,6	2,5	1,5
Задержка распространения, $\tau_{з.р}$, нс	6,6	4,2	3,3
Работа переключения, A, пДж	17,2	10,5	4,9

тров схем с применением асинхронных элементов. Дальнейшее исследование методов построения асинхронных схем позволит существенно улучшить параметры энергоэффективности и быстродействия вычислительных систем.

Литература

1. Ковалев А. В. Технологии энергосбережения в микроэлектронных устройствах: монография / А. В. Ковалев. – Таганрог: Изд-во Таганрог, 2009. – 99 с.

2. Sparso J. Asynchronous circuit design: a tutorial / J. Sparso. – Technical University of Denmark, 2006, 168 p.

3. Fant K. M. NULL Convention Logic / K. M. Fant, S. A. Brandt; Theseus Logic Inc, USA, 1997, 35 p.

4. Андрюхин А. И. Моделирование асинхронной логики на переключательном уровне / А. И. Андрюхин // Научные труды Донецкого государственного технического университета. Серия: Проблемы моделирования и автоматизации проектирования динамических систем. – 2006. – С. 3-4.

5. Seitz C. L. «SystemTiming» inIntroductionto VLSI Systems / ed. By Carved Mead and Lynn Conway. – (Reading, Mass., Addison – Wesley, 1980), pp. 242-262.

6. Алексенко А. Т. Основы микросхемотехники / А. Т. Алексенко. – Москва, 1977. – 408 с.

7. Berkel K. V. Beware the isochronic fork // Integration, the VLSI journal, June 1992, vol.13, pp. 103-128.

8. Sutherland I. E. Micropipelines // Communications of the ACM, June 1989, vol. 32, no. 6, pp. 720-738.

9. Сайт Калифорнийского университета в Беркли [Электронный ресурс]. – Режим доступа: http:// www.—device.eecs.berkeley.edu/bsim3, свободный (дата обращения: 17.07.2014).

10. Cheng Y., Hu C. MOSFET modeling & BSIM3 user's guide. – Kluwer Academic Publishers, 1999, 461 p.

11. Cheng Y. et al. BSIM3 version 3.1 User's Manual. – University of California, Berkeley, Memorandum № UCB/ERL M97/2, 1992.

References

1. Kovalev A. V. *Tekhnologii energo-sberezheniya v mikroelektronnykh ustroystvakh* [Energy saving technology in microelectronic devices]. Taganrog, Taganrog Publ., 2009, 99 p.

2. Sparso J. Asynchronous circuit design: a tutorial / J. Sparso. – Technical University of Denmark, 2006, 168 p.

3. Fant K. M. NULL Convention Logic / K. M. Fant, S. A. Brandt; Theseus Logic Inc, USA, 1997, 35 p.

4. Andryuhin A. I. Simulation of asynchronous logic to the switching level. *Nauchnye Trudy Donetskogo gosudarstvennogo universiteta. Seriya: Problemy modelirovaniya i avtomatizatsii proektirovaniya dinamicheskikh sistem* (Scientific works of Donetsk State Technical University. Ser.: Problems of modeling and design automation of dynamic systems), 2006, pp. 3-4.

5. Seitz C. L. «SystemTiming» inIntroductionto VLSI Systems / ed. By Carved Mead and Lynn Conway. – (Reading, Mass., Addison – Wesley, 1980), pp. 242-262.

6. Alekseenko A. T. *Osnovy mikroskhemotekhniki* [Basics microcircuitry]. Moscow, 1977, 408 p.

7. Berkel K. V. Beware the isochronic fork // Integration, the VLSI journal, June 1992, vol.13, pp. 103-128.

8. Sutherland I. E. Micropipelines // Communi-cations of the ACM, June 1989, vol. 32, no. 6, pp. 720-738.

9. Website University of California at Berkeley: http:// www.—device.eecs.berkeley.edu/bsim3 (accessed 17 July 2014).

10. Cheng Y., Hu C. MOSFET modeling & BSIM3 user's guide. – Kluwer Academic Publishers, 1999, 461 p.

11. Cheng Y. et al. BSIM3 version 3.1 User's Manual. – University of California, Berkeley, Memorandum № UCB/ERL M97/2, 1992.