

МЕТОД СИНТЕЗА ФУНКЦИОНАЛЬНЫХ БЛОКОВ КОМБИНАЦИОННЫХ СХЕМ С ИСПОЛЬЗОВАНИЕМ МИНТЕРМОВ И МАКСТЕРМОВ

© А. А. Старых

*Инженерно-технологическая академия Южного федерального университета,
Институт нанотехнологий, электроники и приборостроения (ИНЭП), Кафедра конструирования
электронных средств (КЭС), 347928, г. Таганрог, Некрасовский пер., 44, корпус «Е»*

В работе рассмотрен метод построения функциональных блоков комбинационных схем. На выходе блоков формируется необходимая функция с помощью двух КМОП схем, расположенных в верхней и нижней плоскостях. Приводятся правила синтеза блоков, которые рассмотрены на примере реализации схем «Исключающее ИЛИ» и «Перенос» в полном сумматоре. Правильность предложенных методов синтеза подтверждена моделированием схем, разработанных в программе OrCAD16.6. Введён новый энерготопологический критерий эффективности схем. Проведено сравнение комбинационной схемы сумматора на логических элементах 2И-НЕ и разработанного сумматора по электрическим параметрам и эффективности.

Ключевые слова: комбинационная схема, карта Карно, минтерм, макстерм, моделирование

Сведения об авторе: Старых Анастасия Алексеевна, аспирантка, anastasya.staryh@mail.ru

Благодарности: Результаты исследования получены с использованием оборудования Центра коллективного пользования и Научно-образовательного центра «Нанотехнологии» Института нанотехнологий, электроники и приборостроения Южного федерального университета (г. Таганрог)

THE METHOD FOR THE SYNTHESIS OF FUNCTIONAL BLOCKS OF COMBINATIONAL CIRCUITS WITH THE USE MINTERMS AND MAXTERMS

A. A. Starykh

*Taganrog Technology Institute of South Federal University, College of Electronics and
Electronic Equipment Engineering, The Department of Electronic Apparatuses Design,
347928, Taganrog, Nekrasovsky street, 44, building E*

A method of building functional blocks of combinational circuits considered in this paper. A necessary function is forming at the blocks output by means of two CMOS circuits located at the top and bottom planes. The rules of block synthesis are given, which are considered by the example of the implementation of the scheme «XOR» and «Transfer» in the full adder. The validity of the proposed synthesis methods is confirmed by simulation schemes developed in the program OrCAD16.6. A new energy-topological criterion of circuits' efficiency is introduced. A comparison of adder combinational circuit on NAND gate and the developed adder by electrical parameters and efficiency is made.

Keywords: combinatorial circuit, Karnaugh map, minterm, maksterm, modeling

Data of author: Starykh Anastasiya Alekseevna, postgraduate, anastasya.staryh@mail.ru

Acknowledgements: Research results were obtained on equipment of Center for Collective Use and Scientific and Educational Center «Nanotechnology» of Taganrog Technology Institute of South Federal University, College of Electronics and Electronic Equipment Engineering

Введение

Цифровые комбинационные схемы традиционно создаются с помощью элементов булевой логики: И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ [1]. Однако в некоторых случаях возможен иной подход к построению комбинационных схем, позволяющий получить логические схемы с меньшим количеством транзисторов и лучшими электрическими характеристиками.

Формирование выходного сигнала в функциональных блоках на КМОП-транзисторах

Формирование выходного сигнала в комбинационных блоках может быть реализовано в виде схемы, показанной на рис. 1 [2].

Схема формирователя выходного сигнала состоит из подсхемы формирования нулей (A0), подсхемы формирования единиц (A1) и КМОП-транзисторного ключа (DD1). Формирователь нулей и формирователь единиц находятся в двух противоположных состояниях: если один формирователь открыт, то другой – закрыт. Для схем на КМОП-транзисторах, если на входы подсхем A1 и A0 поданы логические «1», то открывается A1 и закрывается A0, то есть $Q = \text{«1»}$, если же на входы поданы логические «0», то открывается A0, а A1 закрывается и $Q = \text{«0»}$.

Рассмотренный в [2] способ синтеза схем приводит к построению сложных схем,

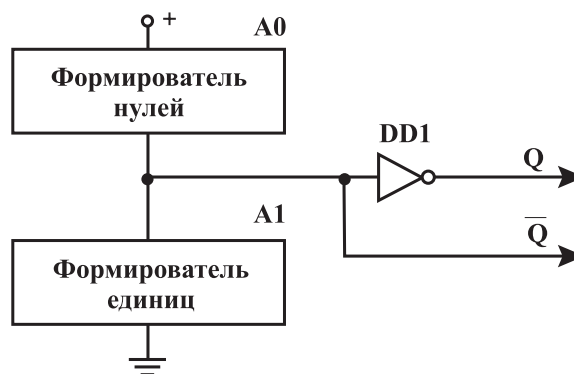


Рис. 1

Способ формирования выходного сигнала для комбинационных функциональных блоков

которые затем оптимизируются программным способом. Это трудоёмкий процесс, который требует специализированных программ. Далее предлагается решение задачи с помощью карт Карно. При этом не только синтезируется схема, но и производится её оптимизация.

В качестве примера рассмотрим синтез схем при построении блоков полного сумматора с использованием двухпроводной структуры прямых и инверсных сигналов.

Полный сумматор может состоять из двух схем «Исключающее ИЛИ» и схемы «Перенос» (рис. 2).

Значение суммы S_{out} формируется с помощью двух блоков «Исключающее ИЛИ» по формуле:

$$S_{out} = A \oplus B \oplus C_{in}. \quad (1)$$

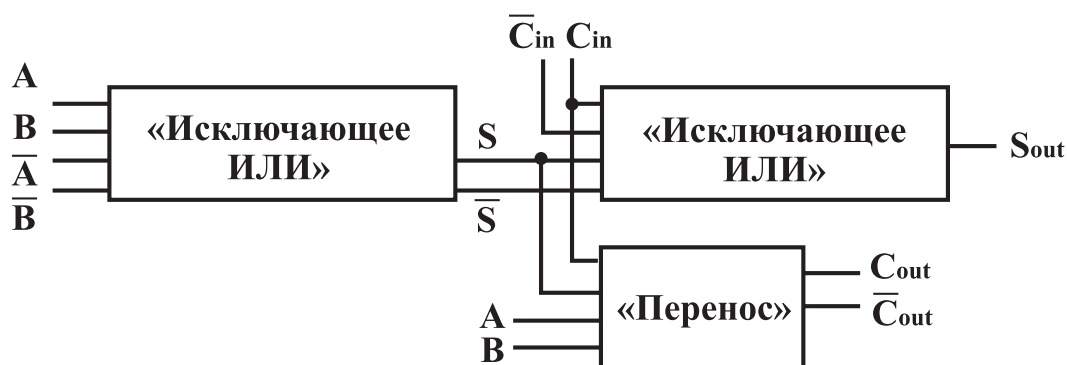


Рис. 2

Схема полного сумматора

Значение переноса C_{out} в сумматоре с блочной структурой получается с помощью блока «Перенос» по формуле:

$$C_{out} = A \cdot B + S \cdot C_{in}. \quad (2)$$

Элемент «Исключающее ИЛИ»

Рассмотрим построение схемы «Исключающее ИЛИ», состоящей из формирователей логического «0» и «1». Сумма S входных сигналов A и B определяется по формуле:

$$S = A \oplus B = \bar{A}B + A\bar{B}. \quad (3)$$

Выражение (3) описывает под схему формирования логических единиц.

Для получения подсхемы формирования логических нулей, исходя из (3), составим карту минтермов для выходного сигнала S (рис. 3а).

Затем значения минтермов в каждой клетке заменим на противоположные (рис. 3б).

Из карты минтермов, изображённой на рис. 3б, запишем сигнал S' в виде произведения макстермов:

$$S' = (\bar{A} + B)(A + \bar{B}). \quad (4)$$

Инвертировав каждый сигнал в выражении (4), получим формулу, описывающую

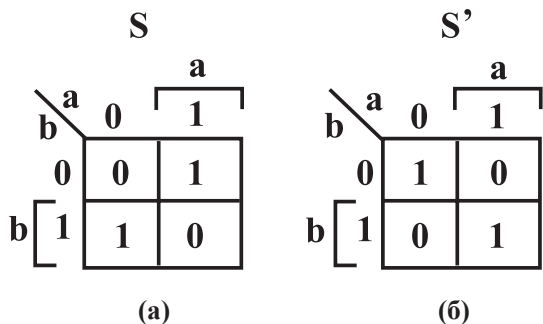


Рис. 3

Карта минтермов для сигнала S (а) и инвертированная карта (б)

щую под схему формирования логического «0» $S^{(0)}$:

$$S^{(0)} = (A + \bar{B})(\bar{A} + B). \quad (5)$$

Формирователи единиц и нулей могут быть реализованы непосредственно по формулам (3) и (5), [3]:

- логическое умножение – в виде последовательно соединённых МОП-транзисторов (или параллельных структур из МОП-транзисторов);

- логическое сложение – в виде параллельно соединённых МОП-транзисторов (или последовательных структур из МОП-транзисторов).

Применив эти правила и соединив схемы формирования логических «1» и «0» в одну, получим схему «Исключающее ИЛИ» (рис. 4).

Исследуем работу схемы, приведённой на рис. 4, в программе OrCAD16.6. Для этого подадим на входы схемы «Исключающее ИЛИ» все возможные комбинации входных сигналов A и B в порядке возрастания и промоделируем схему. Результаты моделирования приведены на рис. 5.

Уровни сигнала S (рис. 5) соответствуют рассчитанным по формуле (3), что подтверждает правильность функционирования синтезированной схемы «Исключающее ИЛИ».

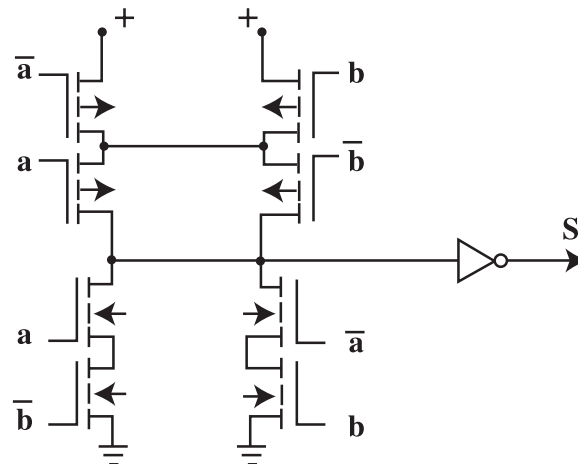


Рис. 4

Схема комбинационного блока «Исключающее ИЛИ»

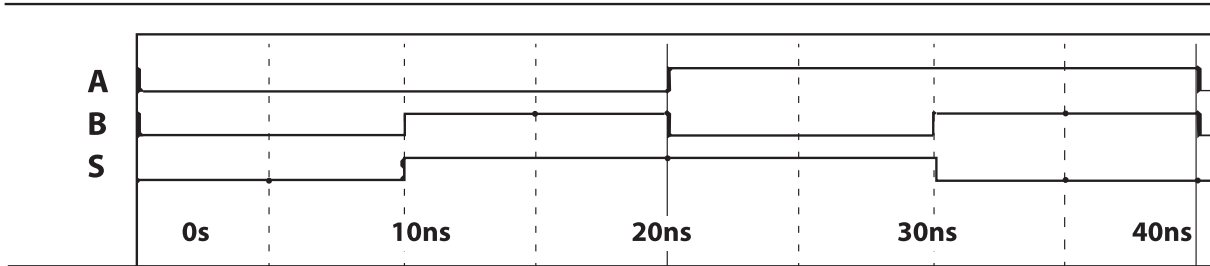


Рис. 5

Графики зависимости выходного сигнала S схемы «Исключающее ИЛИ» от входных сигналов A и B

Элемент «Перенос»

$$C_{out}^{(0)} = (A + B) \cdot (S + C_{in}). \quad (7)$$

В выражении (2) определим входные сигналы A, B, S, C_{in} как независимые переменные. Для формирования схемы «Перенос»

Синтезируем схему функционального блока «Перенос», соединив в одну схемы

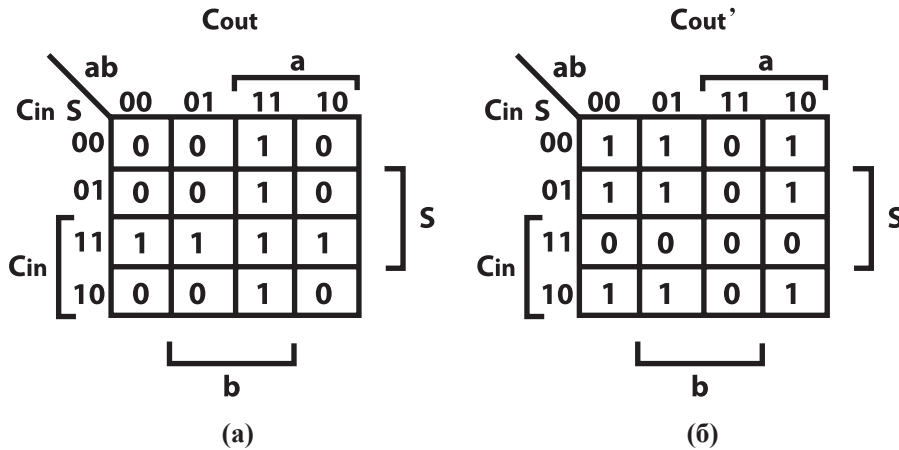


Рис. 6

Карта минтермов для сигнала C_{out} (а) и инвертированная карта (б)

нос», исходя из (2), составим карту минтермов для выходного сигнала C_{out} (рис. 6а).

Затем значения минтермов в каждой клетке заменим на противоположные (рис. 6б).

Из карты минтермов (рис. 6б) запишем выходной сигнал C_{out}' в виде произведения макстермов:

$$C_{out}' = (\bar{A} + \bar{B}) \cdot (\bar{S} + \bar{C}_{in}). \quad (6)$$

Инвертировав каждый сигнал в выражении (6), получим формулу, описывающую под-схему формирования логического «0» $C_{out}^{(0)}$:

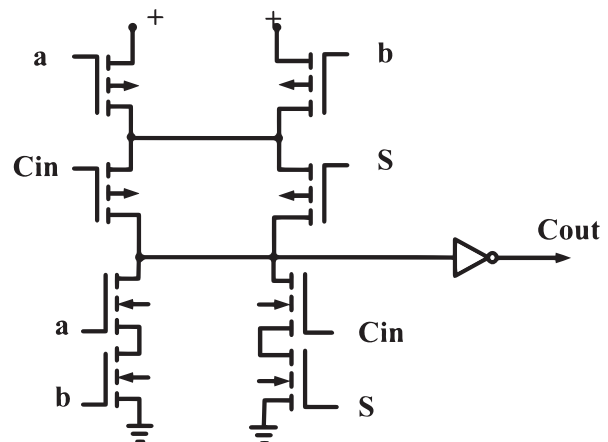


Рис. 7

Схема комбинационного блока «Перенос»

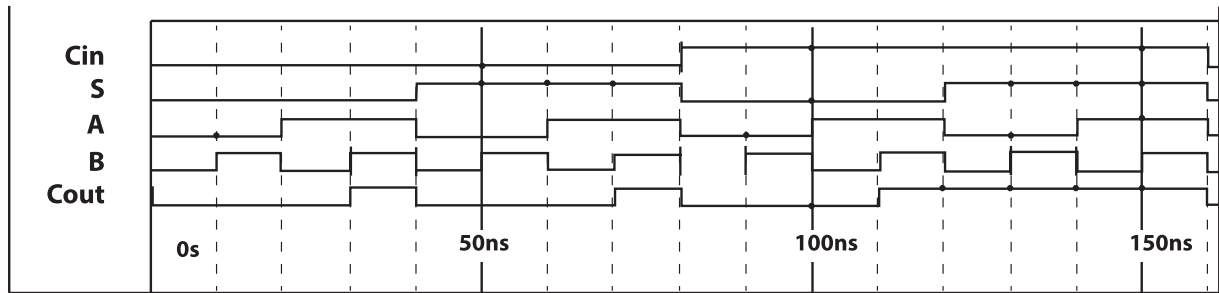


Рис. 8

График зависимости выходного сигнала C_{out} блока «Перенос» от входных сигналов C_{in} , S , A , B

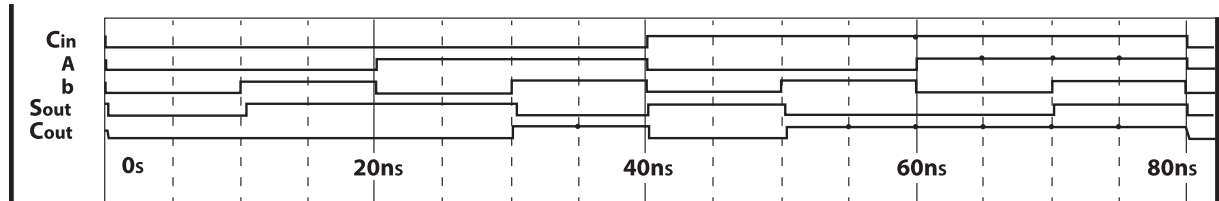


Рис. 9

Графики зависимости выходных сигналов S_{out} , C_{out} , полного сумматора от входных сигналов C_{in} , A , B

формирования логических «1» (2) и «0» (7) (рис. 7).

Исследуем работу схемы, приведённой на рис. 7, в программе OrCad16.6. Для этого подадим на входы блока «Перенос» все возможные комбинации входных сигналов C_{in} , S , A , B в порядке возрастания и промоделируем схему. Результаты моделирования приведены на рис. 8.

Исходя из рис. 8, значения выходного сигнала C_{out} соответствуют (2), что легко проверяется по графикам.

Схема полного сумматора реализована с помощью разработанных блоков по структур-

ной схеме, изображённой на рис. 2. Результаты моделирования приведены на рис. 9.

Уровни сигналов S_{out} и C_{out} (рис. 9) соответствуют рассчитанным по формулам (1) и (2) и, таким образом, подтверждают правильность функционирования разработанного одноразрядного сумматора.

Сравним параметры разработанной схемы полного сумматора с параметрами комбинационной схемы сумматора, выполненной на логических элементах 2И-НЕ (рис. 10).

При исследовании сумматоров в программе OrCad16.6 установлен временной интервал поступления импульсов 10 нс.

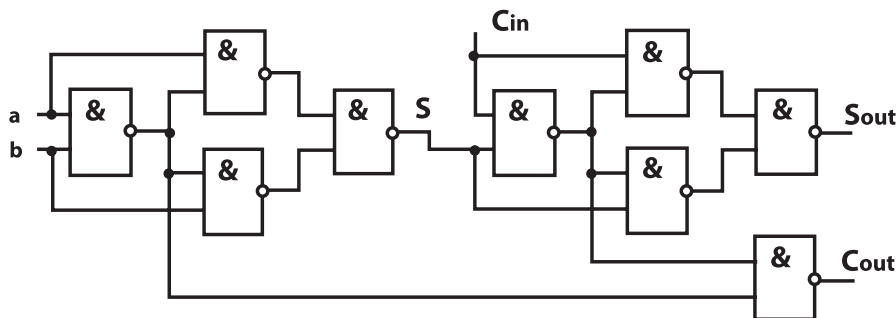


Рис. 10

Схема полного сумматора на логических элементах 2И-НЕ

Параметры полных сумматоров

| Элементы Параметры | Сумматор на элементах 2И-НЕ | | Разработанный сумматор | |
|--|--------------------------------|-------|---------------------------|------|
| Напряжение питания, В | 5 | 3,3 | 5 | 3,3 |
| Рассеиваемая мощность $P_{\text{ср}}$, мВт | 0,07 | 0,028 | 0,04 | 0,02 |
| Задержка распространения, $\tau_{\text{з.р.}}$, нс | 0,15 | 0,39 | 0,15 | 0,38 |
| Кол-во транзисторов в схеме, N , шт. | 36 | | 30 | |
| Энерготопологический критерий, L , пДж*шт. | 0,378 | 0,392 | 0,18 | 0,21 |

Использована модель МОП-транзистора BSIM 3 при технологии 0,18 мкм. Ширина затвора р-канальных МОП-транзисторов равна 2,0 мкм, н-канальных – 1,2 мкм [4].

Сумматоры сравниваются по следующим параметрам: быстрдействие (задержка распространения $\tau_{\text{з.р.}}$), средняя потребляемая мощность $P_{\text{ср}}$, количество транзисторов N . В качестве критериев сравнения схем обычно используются энергетический критерий – работа переключения A и топологический – количество транзисторов в схеме N . Они оба важны для БИС и СБИС. Поэтому будем использовать для сравнения обобщённый энерготопологический критерий L , представляющий собой произведение работы переключения на количество транзисторов:

$$L = A * N = P_{\text{ср}} \tau_{\text{з.р.}} N.$$

В таблице приведены параметры сумматора на логических элементах 2И-НЕ и разработанного сумматора.

Результаты моделирования показали, что разработанный сумматор превосходит по обобщённому энерготопологическому критерию сумматор на логических элементах 2И-НЕ в 2 раза.

Выводы

Сформулирован принцип построения функциональных блоков комбинационных

схем, заключающийся в синтезе схем по формулам, вытекающим из прямой и инвертированной карт Карно. Работа синтезированной таким образом схем соответствует математическим выражениям, описывающим выходные параметры. Введённый энерготопологический критерий включает в себя как электрические параметры, так и топологические, что делает его более универсальным. Схемы, построенные на основе изложенного метода, легко синтезируются и обладают высокими характеристиками.

Предложенный метод синтеза может быть применён для количества входных переменных до 5 или 6. Однако с увеличением переменных растёт количество транзисторов в термах, что приводит к ухудшению характеристик схемы. Поэтому рекомендуется использовать метод синтеза для схем, содержащих до 4 входных переменных.

Литература

1. Угрюмов Е. П. Цифровая схемотехника. – СПб.: БХВ – Петербург, 2001. – 530 с.
2. Ковалев А. В. Метод проектирования быстродействующих асинхронных цифровых устройств с малым энергопотреблением // Известия вузов. Электроника. – 2009. – № 1 (75). – С. 48-53.
3. Рабаи Ж. М., Чандракасан А., Николич Б. Цифровые интегральные схемы. Методология проектирования. – 2-е изд. – М.: ООО «И. Д. Вильямс», 2007. – 912 с.
4. Старых А. А., Ковалев А. В. Оптимизация построения асинхронного сумматора // Электронная техника.

Серия 2. Полупроводниковые приборы. – 2014. – № 3 (234). – С. 51-55.

References

1. Ugryumov E. *Tsifrovaya skhemotekhnika* [Digital circuitry]. St. Petersburg, BHV-Peterburg Publ., 2001, 530 p.
2. Kovalev A. V. The method for the designing of fast asynchronous digital devices with low energy consumption. *Izvestiya vuzov. Elektronika* [Higher Education news. Electronics], 2009, № 1, pp. 48-53.
3. Rabai J. M., Chandrakasan A., Nikolich B. *Tsifrovyye integralnye skhemy. Metodologiya proektirovaniya* [Digital Integrated circuits. Design methodology]. 2nd edition. Moscow, LLC «I. D. Williams» Publ., 2007, 912 p.
4. Starykh A. A., Kovalev A. V. The development optimization of asynchronous adders. *Elektronnaya tekhnika. Ser. 2. Poluprovodnikovyye pribory* [Electronic engineering. Ser. 2. Semiconductor devices], 2014, № 3, pp. 51-55.