

ИССЛЕДОВАНИЕ ВЛИЯНИЯ КОНСТРУКЦИИ ЯЧЕЙКИ ПАМЯТИ СПЕЦОЗУ НА УРОВЕНЬ СОХРАННОСТИ ИНФОРМАЦИИ

© А. Л. Потапов¹, И. Б. Яшанин¹, А. В. Уланова^{2,3}

¹ФГУП «ФНПЦ НИИИС им. Ю.Е. Седякова», 603950, г. Нижний Новгород, Бокс-486

²АО «ЭНПО Специализированные электронные системы», г. Москва

³Национальный исследовательский ядерный университет «МИФИ», 115409, г. Москва, Каширское шоссе, 31

В статье приводятся сравнительные результаты определения уровня сохранности информации ячеек памяти спецОЗУ различных конструкций, выполненных по технологии КМОП КНС. Исследования проводились на моделирующих установках. Описан метод, позволяющий корректно сравнивать уровень сохранности информации ячеек памяти различных конструкций в условиях существенной погрешности воспроизведения параметров микросхем, обусловленной несовершенством технологического процесса.

Ключевые слова: уровень сохранности информации, статическое оперативное запоминающее устройство, специальные воздействующие факторы, конструкция ячеек памяти

Сведения об авторах: Потапов Андрей Леонидович, apotapov@niiis.nnov.ru; Яшанин Игорь Борисович, к.ф-м.н., yib@niiis.nnov.ru; Уланова Анастасия Владиславовна, к.т.н., доцент, avulan@spels.ru

INVESTIGATION OF THE INFLUENCE OF RAM MEMORY CELL DESIGN ON THE DEGREE OF INFORMATION SAFETY

A. L. Potapov¹, I. B. Yashanin¹, A. V. Ulanova^{2,3}

¹State Budget Enterprise «Federal Research and Production Center «Research Institute of Measuring Systems named after Y.E. Sedakov», 603950, Nizhniy Novgorod, box-486

²JSC «ENPO Specialized Electronic Systems», Moscow

³National Research Nuclear University «MEPhI», 115409, Moscow, Kashirskoye shosse, 31

Comparative results of information safety tests for RAM memory cells with different designs are presented in the article. Tests were performed using modeling sets. Method for the correct comparison of the information safety level of different memory cells in the conditions of significant error in modeling the level of external influence is described.

Keywords: information safety level, static random access memory, special factors of external influence, memory cell design

Data of Authors: Potapov Andrey Leonidovich, apotapov@niiis.nnov.ru; Yashanin Igor Borisovich, Ph.D., yib@niiis.nnov.ru; Ulanova Anastasiya Vladislavovna, Ph.D., associate professor, avulan@spels.ru

Введение

В вычислительных системах, предназначенных для работы в условиях воздействия специальных факторов, для обеспечения стойкости используют микросхемы специального оперативного запоминающего устройства (спецОЗУ), которые хранят информацию даже в момент воздействия, при

этом стойкость системы будет определяться значением уровня сохранности информации (УСИ) примененной микросхемы спецОЗУ.

УСИ микросхем спецОЗУ определяется УСИ отдельных ячеек памяти (ЯП), из которых строятся банки данных ОЗУ. Для достижения максимального значения УСИ используют, как правило, 10-тран-

зисторную ЯП с RC-цепочкой. Устойчивость к дестабилизирующему воздействию обеспечивает узел триггера, включающий RC-цепочку (рис. 1) [1-7].

Существует несколько вариантов подключения RC-цепей к узлам триггера, в том числе и топологического их размещения,

влияющих на УСИ. В статье приводятся сравнительные экспериментальные результаты определения УСИ ячеек памяти спецОЗУ различных конструкций, выполненных по технологии КМОП КНС, даются рекомендации по повышению уровня стойкости.

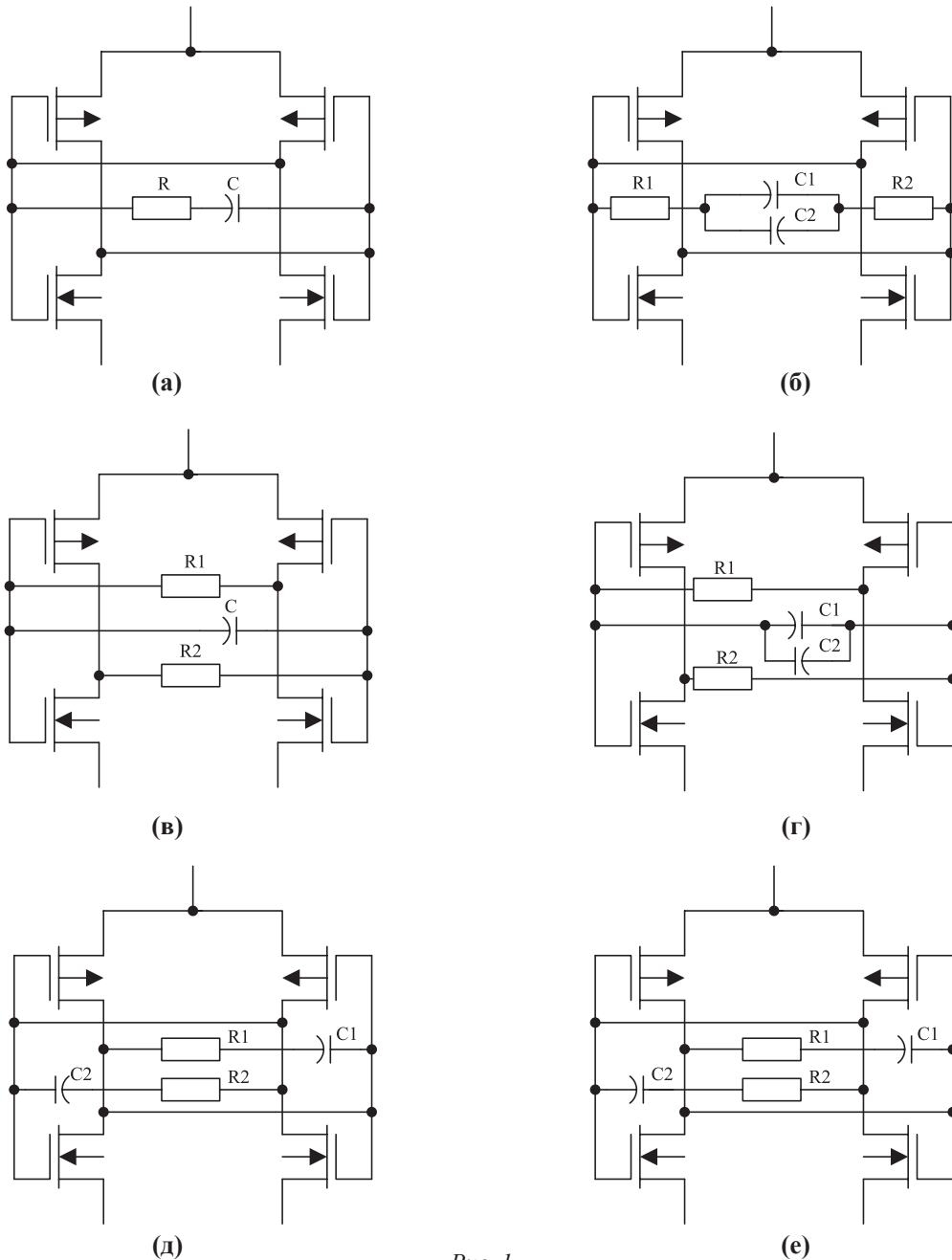


Рис. 1

Схема узла триггера ЯП с RC-цепочкой:

- а) простое подключение ($\tau_{RC} = R \cdot C$); б) симметричное подключение ($\tau_{RC} = (R1+R2) \cdot (C1+C2)$);
- в) подключение конденсатора между затворами ($\tau_{RC} = (R1+R2) \cdot C$); г) подключение симметрично конденсатора между затворами ($\tau_{RC} = (R1+R2) \cdot (C1+C2)$); д) встречно-параллельное подключение ($\tau_{RC} = R1 \cdot C1 + R2 \cdot C2$); е) встречно-параллельное подключение с одинаковым потенциалом обкладок конденсатора ($\tau_{RC} = R1 \cdot C1 + R2 \cdot C2$)

Варианты реализации конструкции ячеек памяти

Теоретическое обоснование необходимости использования схемного решения, приведённого на рис. 1в, для достижения максимально возможного УСИ, а также экспериментальные результаты обеспечения повышения УСИ при использовании данного решения приведены в [3]. Тем не менее, результаты исследований УСИ микросхем, разработанных на основе решения по рис. 1в, показали, что установленное требование по УСИ микросхем достигнуто не было, при этом карта сбоя ЯП на физическом пространстве микросхемы представляет собой шахматный порядок в точности соответствующий карте сбоя при использовании решения по рис. 1а.

Было сделано предположение, что при экстремальных уровнях воздействия мощности дозового излучения (более 10^{12} ед./с) моделирующих установок доминирующим эффектом, приводящим к сбоям ЯП, является возникновение токов утечек в изолирующих слоях, ионизируемых в процессе воздействия. При этом выбор схмотехнического решения может не являться определяющим УСИ, а влияние топологии ЯП на достижимый уровень стойкости может существенно вырасти.

Целью исследования является определение влияния конструкции ЯП (в части топологических решений) на УСИ и выявление оптимального решения для достижения максимально возможного УСИ. В качестве базового варианта использована топология разработанной микросхемы спецОЗУ информационной ёмкостью 2 кБит серии 1620, построенной на основе схемы триггера по рис. 1а. Базовый вариант топологии содержит неполную симметрию в конфигурации цепей коммутации транзисторов, несимметричные резистор и конденсатор. Для увеличения ёмкости конденсатора, построенного на активной области и поликремнии (Si^*), использована ёмкость Si^*-Al (дополнительная обкладка конденсатора выполнена в слое алюминия, диэлектриком конденсатора является межслойная изоляция).

Проведены исследования УСИ при воздействии импульсного ионизирующего излу-

чения вариантов ЯП, отличающихся между собой параметрами элементов RC-цепи, схемными решениями её подключения, наличием или отсутствием топологической симметрии элементов ЯП, различной конструкцией конденсатора (с подключением и без подключения ёмкости Si^*-Al), разделением ЯП столбцов канавкой в диэлектрических слоях (протрав до сапфира). Всего было разработано 23 варианта топологии ЯП (15 основных вариантов и 8 их вариаций – с канавкой в диэлектрических слоях). Конструктивные особенности ЯП приведены в табл. 1.

Изготовление отдельных микросхем для каждого из вариантов топологии ЯП является очень дорогостоящей и трудоёмкой задачей. К тому же технологический разброс и зависимость параметров структур от расположения на пластине не позволяют изготовить микросхемы с разной топологией с обеспечением идентичных электрофизических параметров, что может существенно повлиять на УСИ микросхем с различными топологиями ЯП и сделает сравнение результатов исследований некорректным.

Для решения задачи корректного исследования влияния конструкции ЯП на УСИ необходимо, чтобы ЯП с разной конструкцией были изготовлены в едином технологическом процессе и были расположены максимально близко друг к другу. Данная задача решена путём реализации в одной микросхеме всех конструктивных вариантов ЯП, что возможно благодаря большому количеству ЯП, содержащихся в одной микросхеме. Для уменьшения возможного взаимовлияния ЯП различных конструкций и выявления характера сбоя необходимо ЯП одной конструкции располагать блоками. В целях уменьшения вероятности ошибочных выводов при анализе полученного значения УСИ конкретной конструкции ЯП желательно блоки ЯП одной конструкции размещать в различных местах физического пространства спецОЗУ. Таким образом, для исследования зависимости УСИ различных конструкций ЯП физическое пространство ЯП микросхемы спецОЗУ 2 кБит было

Таблица 1

Конструктивные особенности ячеек памяти

Вариант	Описание топологии	Особенность			
		Схема на рис. 1	Суммарная ёмкость С, пФ	Симметрия в ЯП	$\tau_{\text{ПС}}, \text{нс}$
1	Базовый вариант	а)	1,52	–	18,2
2	Вариант 1 с уменьшением «удерживающего» транзистора VT2, VT10	а)	1,52	–	18,2
3	Вариант 1 с увеличением сопротивления резистора	а)	1,52	–	23,8
4	Вариант 1 с уменьшением длины канала подтягивающих транзисторов и увеличением длины канала транзисторов связи	а)	1,52	–	18,2
5	Вариант 1 с симметричными конденсатором и резисторами	б)	1,47	R	19,1
6	Топология с оптимальным подключением конденсатора	в)	1,56	R	23,4
7	Топология по предложениям ВНИИЭФ (вариант 6 с симметричным конденсатором)	г)	1,57	R, VT	30,6
8	Топология по предложениям ВНИИЭФ (вариант 7 с уменьшенным резистором)	г)	1,57	R, VT	14,5
9	Вариант 1 с уменьшенными конденсатором и резистором	а)	1,09	–	8,8
10	Вариант 1 с уменьшенным конденсатором	а)	1,09	–	15,6
11	Вариант 1 с уменьшенным конденсатором с увеличенным резистором	а)	1,09	–	24,8
12	Вариант 1 с сильно уменьшенным конденсатором и увеличенным резистором	а)	0,76	–	19,2
13	Вариант 5 со встречно-параллельным включением RC-цепочки (по предложениям ВНИИЭФ)	д)	1,48	R, C	21,1
14	Вариант 1 с изоляцией металлической обкладки конденсатора	а)	1,52	–	18,2
15	Вариант 13 с обеспечением одинакового потенциала соответствующих обкладок конденсаторов	е)	1,48	R	22,8

Примечания:

- 1) R, C, VT означает полную симметрию топологии резисторов, конденсаторов RC-цепи и транзисторной части ячеек памяти соответственно;
- 2) выделены варианты конструкций, которые обеспечивают более высокий уровень стойкости.

разбито на блоки размером 4x16 ЯП. Распределение блоков ЯП различных конструкций в физическом и логическом пространстве микросхемы приведено на рис. 2.

Количество и распределение вариантов выбиралось исходя из соображений обеспечения возможности выявления влияния расположения на результат исследований, а также исходя из предпочтительности конструкции ЯП. Корректность результата также будет подтверждаться при получении на разных микросхемах одинаковой картины сбоев.

Анализ характера реакций ЯП показал [3], что:

- все испытанные образцы имеют одинаковую картину реакции ЯП на воздействие;
- картина реакций ЯП имеет чётко выраженные границы, соответствующие блокам ЯП разной конструкции.

Данные выводы свидетельствуют о правильности выбранного подхода для исследований.

Следует отметить, что картина реакции ЯП после повторного воздействия сохраняется, однако возникает «засорённость»

выдержавших первое воздействие блоков ЯП, причём предпочтительным становится состояние, в котором находились ЯП при первом воздействии, то есть возникает несимметричность ЯП, вызванная режимом её работы в процессе воздействия. Это явление характерно для исследований при использовании моделирующего воздействия.

Результаты экспериментальных исследований

Пример реакции ЯП микросхемы на воздействие мощности дозы приведён на рис. 3.

Сопоставление полученных реакций ЯП и соответствующих им конструкция ЯП показало [3], что:

- 1) использование разделения диэлектрика между ЯП (протрав до сапфировой подложки) может иметь положительный эффект, так как имеются варианты ЯП с разделением диэлектрика (3а, 8а) с более высоким УСИ по сравнению с ЯП с

Вывод Адрес	DIO0		DIO1		DIO2		DIO3	
	0..3	4..7	0..3	4..7	7..4	3..0	7..4	3..0
00 ...	2	2a	1	3	7	7a	5	1a
0F 10 ...	5a	5	3a	6	4	1	9	11
1F 20 ...	8	8a	14	13	1	4a	12	10
2F 30 ...	2a	2	1a	15	6a	6	5a	1
3F								

Рис. 2

Распределение физического пространства в блоках 16x4.
Варианты «а» (1а, 2а и т.д.) – это соответствующие варианты (1, 2 и т.д.),
выполненные с разделением диэлектрика между ячейками (протрав диэлектрических
слоёв между ячейками до сапфира)

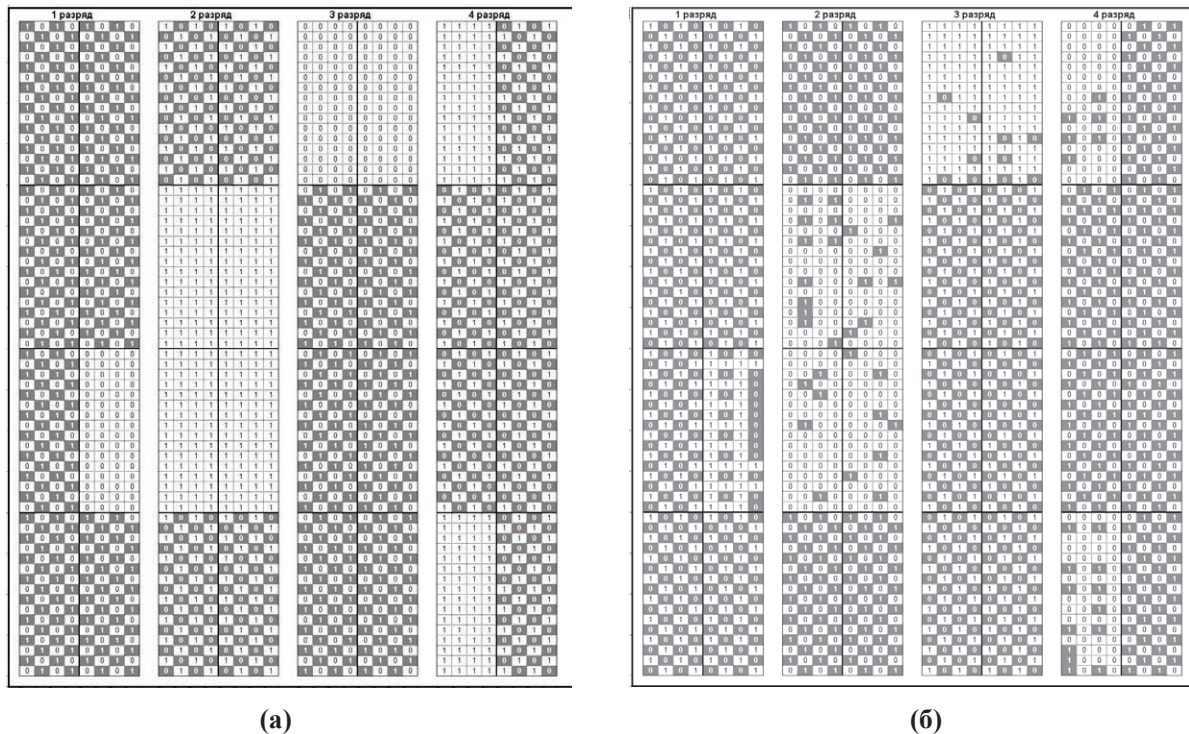


Рис. 3

**Реакция ЯП на воздействие мощности дозы:
а) первое воздействие; б) второе воздействие**

отсутствием разделения (3, 8). Обратной тенденции не выявлено;

2) вариант 14, отличающийся от базового варианта только отключением верхней металлической обкладки конденсатора, показал УСИ на высоком уровне. Данный эффект может быть связан с возникновением при воздействии значительных утечек в диэлектрике между обкладками Si*-Al, приводящих к быстрой разрядке конденсатора;

3) топологическая симметрия ЯП даёт, как правило, положительный эффект;

4) конструкция с использованием подключения конденсатора между затворами транзисторов даёт неоднозначно положительный результат (вариант 5). В правом банке ЯП эта конструкция выдержала воздействие, в левом – нет;

5) увеличение постоянной времени за счёт увеличения сопротивления в RC-цепи в варианте 3а (с разделением диэлектрика) относительно базового (варианта 1), дало положительный эффект. При этом вариант 3 (без разделения диэлектрика) не выдержал воздействие;

6) варианты 9-12 (с вариациями постоянной времени RC-цепи) не выдержали воздействия, что свидетельствует о более важной роли значения ёмкости конденсатора для получения высокого значения УСИ по сравнению с сопротивлением резистора. Увеличение сопротивления резистора не эквивалентно соответствующему изменению ёмкости конденсатора.

Закключение

В работе рассмотрено 23 варианта различных ЯП (15 основных вариантов и 8 их вариаций – с канавкой в диэлектрических слоях), реализованных в рамках единого кристалла спецОЗУ, по технологии КМОП КНС, 12 из которых (7 основных вариантов и 5 их вариаций) обеспечивают экстремально высокий уровень стойкости к воздействию импульсного ионизирующего излучения.

Исходя из полученных экспериментальных данных целесообразным является использование при разработке конструкции ЯП следующих решений:

– выполнять ЯП максимально симметричной;

- выполнять разделение диэлектрика между ЯП;
- не использовать для формирования конденсатора конструкцию Si⁺-Al;
- обеспечить максимальную ёмкость конденсатора RC-цепи.

Тем не менее, для некоторых вариантов ЯП наблюдается различие УСИ в зависимости от места расположения на физическом поле спецОЗУ, а также необъяснимой осталась картина сбоев – после воздействия сбой ЯП проявляются в виде считываемого кода «шахматы» с постоянным расположением «нулей» и «единиц» на физическом пространстве спецОЗУ, не зависящим ни от изначального кода, ни от конструкции ЯП, что требует дополнительных исследований.

Литература

- 1- Nikiforov A. Y., Poljakov I. V. Test CMOS/SOS RAM for Transient Radiation Upset Comparative Research and Failure Analysis // IEEE Trans. on Nuclear Science. – 1995. - Vol. NS-42. - No. 6. - pp. 2138-2142.
- 2- Dominant Mechanisms of Transient-Radiation Upset in CMOS RAM VLSI Circuits Realized in SOS Technology / A. V. Kirgizova, A. Y. Nikiforov, N. G. Grigor'ev et al. // ISSN 1063-7397, Russian Microelectronics, 2006. – Vol. 35. - №3. – pp. 162-176.
- 3- Киргизова А.В. Прогнозирование эффектов функциональных сбоев в микросхемах запоминающих устройств на структурах «кремний-на-сапфире» при импульсных ионизирующих воздействиях: Диссертация на соискание ученой степени канд-та техн. наук. – М., 2007. – 220 с.
- 4- Киргизова А.В., Никифоров А.Ю. Прогнозирование сбоеустойчивости КМОП КНС БИС ЗУ при импульсном ионизирующем воздействии с предельной интенсивностью воздействия // Электроника, микро- и нанoeлектроника. Сб. научн. трудов. – М.: МИФИ, 2006. С. 176-184.
- 5- Сравнительные исследования стойкости БИС ОЗУ на КНИ-структурах / А.В. Киргизова, А.Г. Петров, И.Б. Яшанин, С.В. Шведов и др. // «Радиационная стойкость электронных систем – Стойкость-2006». – М.: МИФИ-СПЭЛС, 2006. Вып. 9. С. 69-70.
- 6- Петров А.Г., Киргизова А.В., Никифоров А.Ю., Яшанин И.Б. Исследование характера радиационного поведения КМОП КНИ БИС ОЗУ HX6228 // «Радиационная стойкость электронных систем – Стойкость-2006». – М.: МИФИ-СПЭЛС, 2006. Вып. 9. С. 71-72.
- 7- Никифоров А.Ю., Skorobogatov P. K. Моделирование объемных ионизационных эффектов в приборах технологии кремний на изоляторе // Микроэлектроника. – 1998. – Т. 27. – № 1. – С. 7-13.

References

1. Nikiforov A. Y., Poljakov I. V. Test CMOS/SOS RAM for transient radiation upset comparative research and failure analysis // IEEE Trans. on Nuclear Science, 1995, Vol. NS-42, no. 6, pp. 2138-2142.
2. Dominant Mechanisms of Transient-Radiation Upset in CMOS RAM VLSI Circuits Realized in SOS Technology / A. V. Kirgizova, A. Y. Nikiforov, N. G. Grigor'ev et al. // Russian Microelectronics, 2006, Vol. 35, № 3, pp. 162-176. – ISSN 1063-7397.
3. Kirgizova A. V. Predicting the effects of functional errors in «Silicon-on-Sapphire»-based memory microchips under pulsed ionizing effects: Thesis for a scientific degree of Candidate of Engineering Sciences. – Moscow, 2007. – 220 p..
4. Kirgizova A. V., Nikiforov A. Yu. Predicting the failure-proof ability of CMOS SOS memory LIC under pulsed ionizing effects with the maximum intensity. *Elektronika, mikro- i nanoelektronika. Sbornik nauchnykh trudov* [Electronics, micro- and nanoelectronics. Collection of scientific papers]. Moscow, MEPHI Publ., 2006, pp. 176-184.
5. Kirgizova A. V., Petrov A. G., Yashanin I. B., Shvedov S. V. et al. Comparative tests of SOI RAM LIC hardness. *Sbornik Vserossiyskoy ezhegodnoy nauchno-prakticheskoy konferentsii «Radiatsionnaya stoykost elektronnykh system (Stoykost-2006)»* [Proceedings of the All-Russian Annual Scientific and Practical Conference «Radiation Hardness of Electronic Systems (Stoykost-2006)»], Moscow, 2006, № 9, pp. 69-70.
6. Petrov A. G., Kirgizova A. V., Nikiforov A. Yu., Yashanin I. B. Investigation of radiation behavior of CMOS SOI RAM LIC «HX6228». *Sbornik Vserossiyskoy ezhegodnoy nauchno-prakticheskoy konferentsii «Radiatsionnaya stoykost elektronnykh system (Stoykost-2006)»* [Proceedings of the All-Russian Annual Scientific and Practical Conference «Radiation Hardness of Electronic Systems (Stoykost-2006)»], Moscow, 2006, № 9, pp. 71-72.
7. Nikiforov A. Yu., Skorobogatov P. K. Modeling of volumetric ionization effects in silicon-on-insulator devices. *Mikroelektronika* [Microelectronics], 1988, Vol. 27, №1, pp. 7-13.